

(11)特許出願公開番号

(P2001-66631A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.	識別記号	F I	データベース(参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0 2 H 0 9 0
1/1333	5 0 5	1/1333	5 0 5 2 H 0 9 2
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z 5 F 1 1 0
21/336			

審査請求 未請求 請求項の数22 O.L (全 13・頁)

(22) 出願日 平成11年8月25日(1999.8.25)

東京都品川区北品川6丁目7番35号

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

弁理士 杉浦 正知

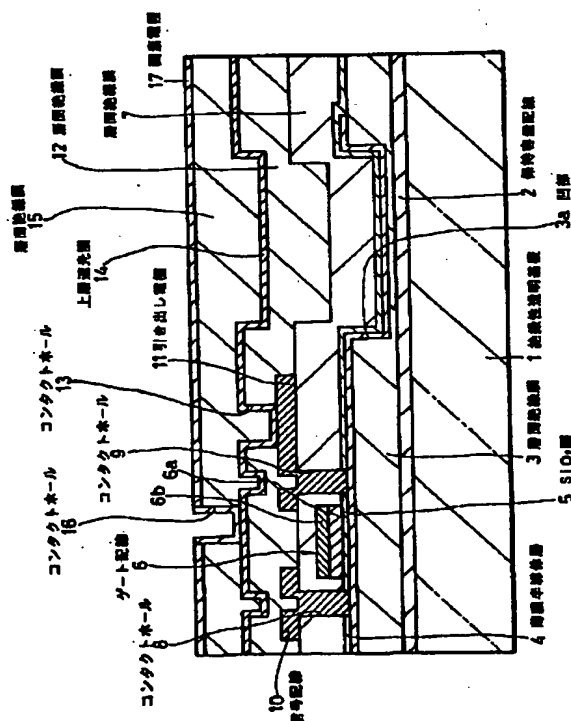
**最終頁に続く**

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 液晶表示装置における画素間遮光面積を縮小し、高光透過率および高精細化を実現する。

【解決手段】 TFTを構成する薄膜半導体層4の下層に層間絶縁膜3を介して保持容量配線2を設ける。TFTのドレイン領域を延長させた薄膜半導体層4の部分と保持容量配線2との間に、層間絶縁膜3の凹部3aの底部からなる保持容量用誘電膜を挟んで、保持容量素子を構成する。TFTのドレイン領域と画素電極17とを電気的に接続し、TFTにより液晶表示装置を駆動する。



(2)

## 【特許請求の範囲】

【請求項1】 基板上に画素電極の駆動用の薄膜トランジスタが設けられた液晶表示装置において、上記薄膜トランジスタを構成する薄膜半導体層の下層に保持容量配線が設けられ、

上記保持容量配線と上記薄膜半導体層との間に第1の保持容量用誘電膜が設けられ、

上記第1の保持容量用誘電膜を介して上記薄膜半導体層と上記保持容量配線とから第1の保持容量素子が構成されていることを特徴とする液晶表示装置。

【請求項2】 上記薄膜半導体層と上記保持容量配線との間に第1の絶縁膜が設けられ、上記第1の絶縁膜が、上記第1の絶縁膜の他の部分と比較して薄い部分を有し、上記第1の絶縁膜の薄い部分によって上記第1の保持容量用誘電膜が構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 上記薄膜半導体層と上記保持容量配線との間に第1の絶縁膜が設けられ、上記第1の絶縁膜が凹部を有し、上記凹部によって上記第1の保持容量用誘電膜が構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 上記保持容量配線が一定の電位に設定されることを特徴とする請求項1記載の液晶表示装置。

【請求項5】 上記保持容量配線を、平面的に上記薄膜トランジスタにおけるチャネル形成領域に重なり、かつ覆う領域に配置するようにしたことを特徴とする請求項1記載の液晶表示装置。

【請求項6】 上記保持容量用誘電膜の膜厚が5 nm以上300 nm以下であることを特徴とする請求項1記載の液晶表示装置。

【請求項7】 上記保持容量用誘電膜の膜厚が10 nm以上100 nm以下であることを特徴とする請求項1記載の液晶表示装置。

【請求項8】 上記保持容量用誘電膜が、酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項9】 上記保持容量素子を構成する薄膜半導体層が、上記薄膜トランジスタにおける拡散領域を延長した部分から構成され、上記延長した部分に導電性不純物が導入されていることを特徴とする請求項1記載の液晶表示装置。

【請求項10】 上記薄膜半導体層の上層に第2の保持容量用誘電膜を介して保持容量電極が設けられ、上記第2の保持容量用誘電膜を介した上記保持容量電極と上記薄膜半導体層とから第2の保持容量素子が構成されていることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項11】 上記保持容量電極の構造が上記薄膜トランジスタにおけるゲート配線の構造と同様の構造を有

2

することを特徴とする請求項10記載の液晶表示装置。

【請求項12】 上記第2の保持容量用誘電膜が、上記薄膜トランジスタにおいてゲート誘電膜として用いられる誘電膜の部分から構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項13】 上記保持容量配線が、タングステン、モリブデン、タンタル、クロム、チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、または不純物が導入されたシリコンからなることを特徴とする請求項1記載の液晶表示装置。

【請求項14】 基板上に駆動用の薄膜トランジスタが設けられた液晶表示装置の製造方法において、

上記基板上に保持容量配線を形成し、

上記保持容量配線上に第1の保持容量用誘電膜を形成し、

上記第1の保持容量用誘電膜上に、上記薄膜トランジスタを構成する薄膜半導体層を形成することにより、上記第1の保持容量用誘電膜を介して上記保持容量配線と上記薄膜半導体層とからなる第1の保持容量素子を形成するようにしたことを特徴とする液晶表示装置の製造方法。

【請求項15】 上記保持容量配線上に第1の絶縁膜を形成し、上記第1の絶縁膜の部分に、上記第1の絶縁膜の他の部分より薄い部分を形成することにより、上記第1の絶縁膜の薄い部分からなる上記第1の保持容量用誘電膜を形成するようにしたことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項16】 上記保持容量配線上に第1の絶縁膜を形成し、上記第1の絶縁膜に凹部を形成することにより、上記第1の絶縁膜の上記凹部からなる上記第1の保持容量用誘電膜を形成するようにしたことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項17】 上記第1の保持容量用誘電膜の膜厚が5 nm以上300 nm以下であることを特徴とする請求項14記載の液晶表示装置。

【請求項18】 上記第1の保持容量用誘電膜の膜厚が10 nm以上100 nm以下であることを特徴とする請求項14記載の液晶表示装置。

【請求項19】 上記保持容量配線を、上記薄膜トランジスタを構成するゲート配線の形成の工程と別の工程において形成するようにしたことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項20】 上記薄膜半導体層上に第2の保持容量用誘電膜を形成し、上記第2の保持容量用誘電膜上に保持容量電極を形成することにより、上記第2の保持容量用誘電膜を介して上記保持容量電極と上記薄膜半導体層とからなる第2の保持容量素子を形成するようにしたことを特徴とする請求項14記載の液晶表示装置の製造方

(3)

3

法。

【請求項21】 上記薄膜トランジスタのゲート配線を形成するとともに、上記保持容量電極を形成するようにしたことを特徴とする請求項20記載の液晶表示装置の製造方法。

【請求項22】 上記保持容量配線が、タングステン、モリブデン、タンタル、クロム、チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、または不純物が導入されたシリコンからなることを特徴とする請求項14記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶表示装置およびその製造方法に関し、特に、駆動用の薄膜トランジスタ(TFT)を有する液晶表示装置に適用して好適なものである。

【0002】

【従来の技術】 近年、プロジェクター用のライトバルブとして液晶表示装置が用いられる場合が多くなってきている。これに併せて、液晶表示装置においては、さらなる高光透過率化、高精細化が望まれるようになった。ここで、この液晶表示装置における従来技術によるものを、以下に具体的に説明する。

【0003】 すなわち、図8に示すように、遮光領域における石英ガラス基板101上に所定形状の多結晶Siからなる薄膜半導体層102が設けられ、この薄膜半導体層102上にゲート誘電膜103が設けられている。このゲート誘電膜103上にはゲート配線104が設けられている。図示は省略するが、薄膜半導体層102中にはゲート配線104に対して自己整合的にソース領域およびドレイン領域が形成されている。ゲート配線104からなるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶Si TFTが構成されている。ドレイン領域の上方の所定部分におけるゲート誘電膜103上には保持容量配線105が設けられている。この保持容量配線105とドレイン領域との間にゲート誘電膜103を介した構造により、保持容量素子が構成されている。

【0004】 ゲート配線104および保持容量配線105を覆うように層間絶縁膜106が設けられている。この層間絶縁膜106およびゲート誘電膜103の所定部分にはコンタクトホール107、108が設けられている。層間絶縁膜106上には、コンタクトホール107を通じて多結晶Si TFTのドレイン領域に接続されて引き出し電極109が設けられているとともに、コンタクトホール108を通じて多結晶Si TFTのソース領域に接続されて信号配線110が設けられている。これらの引き出し電極109および信号配線110を覆うよ

4

うに層間絶縁膜111が設けられている。引き出し電極109上の所定部分における層間絶縁膜111にはコンタクトホール112が設けられている。層間絶縁膜111上にこのコンタクトホール112を通じて引き出し電極109と接続されて上層遮光膜113が設けられている。この上層遮光膜113と引き出し電極109および信号配線110との重ね合わせにより、上方からの入射光に対して、画素開口領域以外の領域の全ての遮光がなされている。上層遮光膜113を覆うように層間絶縁膜114が設けられている。上層遮光膜113上の所定部分におけるこの層間絶縁膜114にはコンタクトホール115が設けられている。層間絶縁膜114上には、このコンタクトホール115を通じて上層遮光膜113と接続されて透明な画素電極116が設けられている。この画素電極116を覆うように配向膜117が設けられている。

【0005】 配向膜117上には液晶層118が設けられており、この液晶層118上に配向膜119および対向共通電極120が設けられている。また対向共通電極120上には、透明の対向電極用基板121が設けられている。

【0006】 上述のように構成された液晶表示装置においては、TFTを構成する薄膜半導体層102に接続された透明な画素電極116に印加する電圧によって、液晶層118中の液晶分子の配向を変え、表示を制御する。

【0007】 また、信号配線110、ゲート配線104、保持容量配線105および薄膜トランジスタなどは、TFT基板中または対向基板中に設けた画素間遮光領域内に配置される。この配置の一例を図9に示す。図9は、TFT基板の信号配線110と上層遮光膜113とによって相補的に遮光領域を形成している場合の平面レイアウトの一例である。

【0008】 図9に示すように、従来の液晶表示装置においては、ゲート配線104と保持容量配線105とが互いにほぼ平行に設けられている。信号配線110がこれらのゲート配線104および保持容量配線105と垂直な方向に設けられている。引き出し電極109がゲート配線104と保持容量配線105とにまたがり信号配線110に重ならない領域に設けられている。上層遮光膜113が、隣接する2本の信号配線110にまたがり、この隣接する2本の信号配線110間の保持容量配線105、ゲート配線104および引き出し電極109を覆うような形状に設けられている。信号配線110と薄膜半導体層102との重なる部分の端部にコンタクトホール108が形成されている。保持容量配線105および信号配線110の下層には薄膜半導体層102が設けられている。保持容量配線105には、コンタクトホール107を避けた凹形状の部分が設けられている。この凹形状の部分に設けられたコンタクトホール107を

(4)

5

通じて、薄膜半導体層102と引き出し電極119とが接続されている。また、引き出し電極109と上層遮光膜113との重なる領域の部分に、これらを接続するためのコンタクトホール112が形成されている。また、上層遮光膜113の保持容量配線105と重なる領域の部分に、これらを接続するためのコンタクトホール115が形成されている。

【0009】

【発明が解決しようとする課題】上述のように構成された従来の液晶表示装置において、高光透過率および高精細化を実現するためには、液晶表示装置の画素間遮光領域を縮小する必要がある。

【0010】しかしながら、本発明者の知見によれば、従来技術による液晶表示装置においては、信号配線110、薄膜トランジスタ、ゲート配線104および保持容量配線105がそれぞれ面積を占有しており、これが画素開口率の向上の妨げとなっている。

【0011】したがって、この発明の目的は、画素間遮光面積を縮小することができ、これにより高光透過率および高精細化することができる液晶表示装置およびその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、基板上に画素電極の駆動用の薄膜トランジスタが設けられた液晶表示装置において、薄膜トランジスタを構成する薄膜半導体層の下層に保持容量配線が設けられ、保持容量配線と薄膜半導体層との間に第1の保持容量用誘電膜が設けられ、第1の保持容量用誘電膜を介して薄膜半導体層と保持容量配線とから第1の保持容量素子が構成されていることを特徴とするものである。

【0013】この第1の発明において、典型的には、薄膜半導体層と保持容量配線との間に第1の絶縁膜が設けられ、第1の絶縁膜は、第1の絶縁膜の他の部分と比較して薄い部分を有し、この第1の絶縁膜のうちの薄い部分によって第1の保持容量用誘電膜が構成されている。また、この第1の発明において、第1の絶縁膜に他の部分と比較して薄い部分を設けるために、好適には、第1の絶縁膜に凹部を設け、この凹部によって第1の保持容量用誘電膜を構成する。

【0014】この第1の発明において、典型的には、保持容量配線は一定の電位に設定される。

【0015】この第1の発明において、典型的には、保持容量配線を、薄膜トランジスタにおけるチャネル形成領域に重なり、かつ平面的に覆う領域に配置する。

【0016】この第1の発明において、具体的には、第1の保持容量用誘電膜は、酸化シリコン膜、窒化シリコン膜、または酸化シリコン膜と窒化シリコン膜との積層膜から構成される。

【0017】この第1の発明において、典型的には、保

6

持容量素子を構成する薄膜半導体層は薄膜トランジスタにおける拡散領域を延長した部分から構成され、この延長した部分に導電性不純物が導入され、低抵抗化されている。

【0018】この第1の発明において、典型的には、薄膜半導体層上に第2の保持容量用誘電膜を介して保持容量電極が設けられ、第2の保持容量用誘電膜を介した保持容量電極と薄膜半導体層とから第2の保持容量素子が構成されている。そして、この保持容量電極の構造は、薄膜トランジスタにおけるゲート配線の構造と同様の構造を有する。具体的には、ゲート配線および保持容量電極は、例えば多結晶Si膜上にケイ化タングステン膜を積層した構造を有する。また、この第1の発明において、第2の保持容量用誘電膜は、薄膜トランジスタにおけるゲート誘電膜として用いられる誘電膜から構成される。

【0019】この発明の第2の発明は、基板上に駆動用の薄膜トランジスタが設けられた液晶表示装置の製造方法において、基板上に保持容量配線を形成し、保持容量配線に第1の保持容量用誘電膜を形成し、第1の保持容量用誘電膜上に、薄膜トランジスタを構成する薄膜半導体層を形成することにより、第1の保持容量用誘電膜を介して保持容量配線と薄膜半導体層とからなる第1の保持容量素子を形成するようにしたことを特徴とするものである。

【0020】この第2の発明において、典型的には、保持容量配線に第1の絶縁膜を形成し、第1の絶縁膜に、第1の絶縁膜の他の部分より薄い部分を形成し、第1の絶縁膜の薄い部分からなる第1の保持容量用誘電膜を形成する。また、この第2の発明において、典型的には、保持容量配線に第1の絶縁膜を形成し、第1の絶縁膜に凹部を形成することによって、第1の絶縁膜の凹部からなる第1の保持容量用誘電膜を形成する。

【0021】この第2の発明において、典型的には、保持容量配線を、薄膜トランジスタを構成するゲート配線の形成の工程と別の工程において形成する。

【0022】この第2の発明において、好適には、薄膜半導体層上に第2の保持容量用誘電膜を形成し、第2の絶縁膜上に保持容量電極を形成することにより、第2の保持容量用誘電膜を介して保持容量電極と薄膜半導体層とからなる第2の保持容量素子を形成する。このとき、製造プロセスの低減を図るために、薄膜トランジスタのゲート配線を形成するとともに、保持容量電極を形成する。

【0023】この第2の発明において、好適には、保持容量配線に第2の絶縁膜を形成し、第2の絶縁膜の部分に保持容量配線の表面が露出した開口を形成し、露出した保持容量配線の表面に酸化膜を形成することにより、酸化膜からなる第1の保持容量用誘電膜を形成する。そして、この酸化膜の形成においては、陽極酸化ま

(5)

7

たは熱処理を行うことによって、保持容量配線の露出した表面に酸化膜を形成する。また、この酸化膜の膜厚は、好適には5 nm以上300 nm以下、より好適には、10 nm以上100 nm以下である。

【0024】この発明において、薄膜半導体層は、典型的には多結晶Si膜であるが、単結晶Si膜や非晶質Si膜を用いることも可能であり、ヒ化ガリウム(GaAs)などの化合物半導体層を用いることも可能である。

【0025】この発明において、第1の保持容量素子における保持容量 $C_s$ を十分に確保するために、保持容量用誘電膜の膜厚は、好適には、5 nm以上300 nm以下であり、より好適には、10 nm以上100 nm以下である。

【0026】この発明において、具体的には、保持容量配線は、タングステン、モリブデン、タンタル、クロム、チタン、タングステン合金、モリブデン合金、タンタル合金、クロム合金、チタン合金、ケイ化タングステン、ケイ化モリブデン、ケイ化タンタル、ケイ化クロム、ケイ化チタン、または不純物が導入されたシリコンからなる。

【0027】上述のように構成されたこの発明による液晶表示装置およびその製造方法によれば、薄膜トランジスタを構成する薄膜半導体層の下層に保持容量配線を設け、保持容量用誘電膜を介して薄膜半導体層と保持容量配線とから保持容量素子を構成していることにより、薄膜トランジスタと保持容量配線とがそれぞれ面積を占有しないようにすることができ、薄膜トランジスタおよび保持容量配線を互いに平面的に重ねた領域に形成することができる。

【0028】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、以下の実施形態の全図においては、同一または対応する部分には同一の符号を付す。

【0029】まず、この発明の第1の実施形態の一例について説明する。図1は、この第1の実施形態による液晶表示装置のTFT基板の一例を示し、図2および図3は、このTFT基板の平面図の一例を示す。なお、図1の断面図は、図2および図3の所定の断面を示したのではなく、この第1の実施形態によるTFT基板の構造を1つの断面に示したものである。

【0030】図1に示すように、この液晶表示装置においては、遮光領域における例えば石英ガラス基板からなる絶縁性透明基板1上に、表示領域を横断するようにパターンニングされた保持容量配線2が設けられている。この保持容量配線2は例えば膜厚が200 nmのWSi膜からなる。

【0031】この保持容量配線2上には、保持容量用誘電膜を兼ねた層間絶縁膜3が設けられている。この層間絶縁膜3は例えば膜厚が600 nmのノンドープシリケ

8

ートガラス(NSG、珪酸ガラス)膜からなる。そして、層間絶縁膜3は、この層間絶縁膜3の一部に他の部分より薄い部分を有する。具体的には、層間絶縁膜3の部分に凹部3aが形成されている。そして、この凹部3aの底部によって保持容量用誘電膜が構成されている。ここで、この保持容量用誘電膜を構成する層間絶縁膜3の凹部3aの底部の膜厚は、後述する保持容量素子の保持容量 $C_s$ を大きくするとともに、ショートを防止するために、5~300 nmの範囲から選ばれ、より好適には、10~100 nmの範囲から選ばれ、この第1の実施形態においては、例えば60 nmに選ばれる。

【0032】また、層間絶縁膜3上に所定形状の薄膜半導体層4が設けられている。この薄膜半導体層4は例えば膜厚が75 nmの多結晶Si膜からなる。また、この薄膜半導体層4は、後述するTFTのドレイン領域が延長された部分を有する。薄膜半導体層4の延長された部分は、リン(P)やヒ素(As)などの導電性不純物がドーピングされて低抵抗化されており、この部分によって画素電位電極が構成されている。この薄膜半導体層4の延長された部分と保持容量配線2との間に、層間絶縁膜3における凹部3aの底部から構成される保持容量用誘電膜を介した構造により、保持容量素子が構成されている。

【0033】また、薄膜半導体層4を覆うようにSiO<sub>2</sub>膜5が設けられている。このSiO<sub>2</sub>膜5は例えば膜厚が30 nmのSiO<sub>2</sub>膜からなる。SiO<sub>2</sub>膜5上の部分にはゲート配線6が設けられている。このゲート配線6は、例えば膜厚が100 nmのPなどの不純物が高濃度にドーピングされた多結晶Si膜6aおよび例えば膜厚が100 nmのWSi膜6bが順次積層された積層膜からなる。また、図示は省略するが、薄膜半導体層4中には、オフ電流の低減を目的としたLDD(Lightly Doped Drain)構造のソース領域およびドレイン領域が形成されている。ゲート配線6から構成されるゲート電極とこれらのソース領域およびドレイン領域とにより、画素電極駆動用の多結晶SiTFTが構成されている。

【0034】また、ゲート配線6を覆うように層間絶縁膜7が設けられている。この層間絶縁膜7は例えば膜厚が600 nmのリンドーピングシリケートガラス(PSG)膜からなる。この層間絶縁膜7およびSiO<sub>2</sub>膜5の所定部分にコンタクトホール8、9が形成されている。遮光領域における層間絶縁膜7上には、コンタクトホール8を通じて多結晶SiTFTのソース領域に接続されて信号配線10が設けられている。また、コンタクトホール9を通じ多結晶SiTFTのドレイン領域に接続されて引き出し電極11が設けられている。これらの信号配線10および引き出し電極11は、例えば膜厚が400 nmのSiを1%含むAl合金膜からなる。これらの信号配線10および引き出し電極11を覆うように層間絶縁膜12が設けられている。この層間絶縁膜12は例え

(6)

9

ば膜厚が400nmのPSG膜からなる。層間絶縁膜12の引き出し電極11上の部分にコンタクトホール13が設けられている。

・【0035】層間絶縁膜12上には、導電性の上層遮光膜14が設けられている。この上層遮光膜14は、コンタクトホール13を通じて引き出し電極11と接続されている。この上層遮光膜14は、例えば膜厚が250nmのチタン(Ti)膜からなる。これらの上層遮光膜14と引き出し電極11および信号配線10との重ね合わせにより、上方からの入射光に対して、画素開口領域以外10の領域の全ての遮光がなされている。上層遮光膜14は後述の画素電極と接続される。

【0036】また、上層遮光膜14を覆うように層間絶縁膜15が設けられている。この層間絶縁膜15は例えば膜厚が2.5μmのNSG膜からなる。上層遮光膜14上の所定部分における層間絶縁膜15の部分にはコンタクトホール16が設けられている。この層間絶縁膜15の表面は、コンタクトホール16の部分を除いて平坦化されている。層間絶縁膜15上には、このコンタクトホール16を通じて上層遮光膜14と接続された透明な画素電極17が設けられている。この画素電極17は、例えば膜厚が140nmのインジウム錫酸化物(ITO)膜からなる。また、この画素電極17を覆うように配向膜(図示せず)が設けられている。

【0037】以上のようにして、TFT基板が構成されている。また、図示省略したが、このTFT基板と、ガラス基板の一主面上に対向電極としての透明電極および液晶の配向膜を順次積層したものとの間に液晶が封入されて、液晶表示装置が構成されている。

【0038】図2に、信号配線10および引き出し電極11の形成直後における液晶表示装置の平面レイアウトを示す。図2に示すように、この第1の実施形態による液晶表示装置においては、信号配線10が所定ピッチで互いに平行に設けられている。保持容量配線2およびゲート配線6は、それらの長手方向が信号配線10に垂直で、かつ互いに平行になるように設けられている。保持容量配線2には凸形状の部分が設けられている。この保持容量配線2の凸形状の部分は、保持容量配線2の長手方向に沿って信号配線10の間隔とほぼ同間隔で、かつ10の平面的にゲート配線をまたがりつつ信号配線10に覆われる領域に設けられている。

【0039】また、薄膜半導体層4が、保持容量配線2における凸形状の領域と長手方向に沿った領域との内側においてL字型に設けられている。保持容量配線2は、この薄膜半導体層4とゲート配線6とにより構成される薄膜トランジスタのチャネル形成部に対し、平面的に重なりつつ覆う領域に設けられている。ここで、TFT基板の裏面から薄膜トランジスタに入射する光を低減するために、保持容量配線2の配置領域を、少なくともチャネル形成部より大きい領域とし、好適には1.0μm程

10

度の余裕を有するようにする。具体的には、TFT基板の裏面から斜め方向に入射する光に対する遮光性をも向上させるために、保持容量配線2の配置領域を、平面的にチャネル形成部から前後左右の方向に0.5μm以上大きくする。このようにすることによって、液晶表示装置をプロジェクターなどのTFT基板裏面側に光学系部品が存在するような装置に搭載する場合においても、その光学系部品からの入射光が薄膜トランジスタに照射されるのを防止することができ、薄膜トランジスタがオフのときの光励起電流の増加を防止することができ、これに起因した表示画質の劣化を防止することができる。

【0040】また、L字型の薄膜半導体層4におけるゲート配線6の近傍の一端の領域には、コンタクトホール8が設けられている。そして、信号配線10と薄膜半導体層4とが、このコンタクトホール8を通じて電気的に接続されている。L字型の薄膜半導体層4の他端における保持容量配線2と重なった領域には、平面形状が例えば矩形の凹部3aが設けられている。そして、この矩形の凹部3aにおいて、この凹部3aの底部を介した薄膜半導体層4と保持容量配線2とから保持容量素子が構成されている。なお、この凹部3aの平面形状は円形であってもよい。

【0041】また、保持容量配線2および薄膜半導体層4にまたがる領域に、引き出し配線11が設けられている。この引き出し配線11は、凹部3aが形成された領域に重ならない領域に設けられる。引き出し配線11、薄膜半導体層4および保持容量配線2が重なった領域の部分に、コンタクトホール9が設けられている。そして、引き出し配線11と薄膜半導体層4とがこのコンタクトホール9を通じて電気的に接続されている。

【0042】図3に、上層遮光膜14の形成以降の液晶表示装置の平面レイアウトを示す。図3に示すように、互いに平行な隣接した信号配線10をまたがり、引き出し電極11をほぼ覆うようにして、上層遮光膜14が設けられている。上層遮光膜14と引き出し電極11との重なった領域の部分にコンタクトホール13が設けられている。そして、上層遮光膜14と引き出し電極11とがこのコンタクトホール13を通じて互いに電気的に接続されている。また、上層遮光膜14と引き出し電極11との重なった領域にコンタクトホール16が設けられている。上層遮光膜14と画素電極17(図3中、図示せず)とが、このコンタクトホール16を通じて接続されている。

【0043】上述のように構成された液晶表示装置においては、その駆動時に保持容量配線2が一定の電位に設定され、この第1の実施形態においては例えば0Vに設定される。なお、この電位は、薄膜トランジスタのしきい値電圧 $V_{th}$ に影響のない範囲で、対向共通電極の電位や操作回路供給電源の電位などの他の定電位に設定することも可能である。

(7)

11

【0044】次に、上述のように構成されたこの第1の実施形態による液晶表示装置の製造方法について説明する。

【0045】すなわち、まず、図1に示すように、絶縁性透明基板1上に例えばCVD法により膜厚が200nmのWSi膜を形成した後、このWSi膜を表示領域を横断するようにパターンニングすることにより、保持容量配線2を形成する。

【0046】次に、保持容量配線2を覆うようにして、例えば常圧化学気相成長（AP-CVD）法により、全面にNSG膜を成膜することにより、層間絶縁膜3を形成する。

【0047】次に、リソグラフィ工程により、NSG膜からなる層間絶縁膜3上に凹部3aの形成領域に開口を有するレジストパターン（図示せず）を形成する。次に、例えば反応性イオンエッチング（RIE）法により、このレジストパターンをマスクとして、層間絶縁膜3を保持容量配線2の表面が露出するまでエッチングした後、レジストパターンを除去する。次に、例えばCVD法により全面にNSG膜を形成する。このとき、NSG膜は、保持容量配線2の露出面上の膜厚が5～300nm、好適には10～100nmになるように形成され、この第1の実施形態においては、例えば60nmに形成される。このNSG膜の形成により、層間絶縁膜3の部分に、後に保持容量素子を構成する凹部3aが形成される。

【0048】次に、例えば減圧化学気相成長法（LP-CVD）法により、層間絶縁膜3上の全面に膜厚が例えば75nmの薄膜半導体層4を形成する。続いて、熱処理を行うことにより、この薄膜半導体層4の結晶粒を成長させた後、リソグラフィ工程およびエッチング工程により、薄膜半導体層4のパターンニングを行う。

【0049】次に、薄膜半導体層4表面を酸化した後、全面に例えばBなどのp型不純物を低濃度にイオン注入することにより、薄膜半導体層4の部分に低濃度の拡散層（図示せず）を形成する。次に、例えばCVD法により全面にSiO<sub>2</sub>膜5を形成する。このSiO<sub>2</sub>膜5の膜厚は例えば30nmである。

【0050】次に、例えばLP-CVD法により全面に膜厚が例えば100nmの多結晶Si層6aを形成する。その後、POCl<sub>3</sub>ガス雰囲気中で熱処理を行うことにより、多結晶Si層6a中にPを拡散させ低抵抗化する。次に、例えばCVD法により全面に膜厚が例えば100nmのWSi膜6bを形成する。その後、リソグラフィ工程およびエッチング工程により、WSi膜6bおよび多結晶Si層6aを所定形状にパターンニングすることによって、ゲート配線6を形成する。

【0051】次に、全面に例えばPなどのn型不純物を低濃度にイオン注入する。次に、リソグラフィ工程により、pチャネルMOSトランジスタの形成領域およびn

12

チャネルMOSトランジスタのLDD構造の形成領域上にレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばAsなどのn型不純物を高濃度にイオン注入する。これにより、薄膜トランジスタを始めとするLDD構造を有するnチャネルMOSトランジスタが形成される。その後、レジストパターンを除去する。次に、リソグラフィ工程により、nチャネルMOSトランジスタ領域を覆うようにしてレジストパターンを形成した後、このレジストパターンをマスクとして、例えばBなどのp型不純物をイオン注入する。これにより、pチャネルMOSトランジスタが形成される。その後、レジストパターンを除去する。

【0052】次に、オゾン（O<sub>3</sub>）ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより、膜厚が例えば600nmの層間絶縁膜7を形成する。その後、高温熱処理を行うことにより、全てのトランジスタにおけるソース／ドレイン領域中の結晶性を回復させる。

【0053】次に、例えばウェットエッチング法により、表示領域外の左右端に保持容量配線用のコンタクト（図示せず）を形成する。次に、コンタクトホール8、9の形成領域に開口を有するレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、ドライエッチング法により層間絶縁膜7をエッチングすることによりコンタクトホール8、9を形成する。その後、レジストパターンを除去する。

【0054】次に、例えばスパッタリング法により、全面に例えばSiを1%含むAl合金膜を成膜する。このAl合金膜の膜厚は例えば400nmである。次に、リソグラフィ工程により、このAl合金膜上に信号配線10、引き出し電極11、回路内配線およびパッドの形状を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法によりAl合金膜を層間絶縁膜7の表面が露出するまでエッチングすることにより、信号配線10および引き出し電極11を形成するとともに、図示省略した回路内配線およびパッドを形成する。

【0055】次に、例えばO<sub>3</sub>ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより、膜厚が例えば400nmの層間絶縁膜12を形成する。次に、リソグラフィ工程により、層間絶縁膜12上に、コンタクトホール13の形成領域およびパッドの領域に開口を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、層間絶縁膜12を引き出し電極11の上面が露出するまでエッチングすることにより、コンタクトホール13を形成するとともに、パッドに接続するためのコンタクトホール（図示せず）を形成する。

【0056】次に、例えばスパッタリング法により全面



(8)

13

に例えば膜厚が250nmのTi膜を成膜する。その後、このTi膜をパターンニングすることにより上層遮光膜14を形成する。

【0057】その後、例えばTEOSガスを用いたプラズマCVD法により、全面に例えば膜厚が2.5μmのNSG膜を成膜することによって、層間絶縁膜15を形成する。次に、例えば化学機械研磨(CMP)法によりこの層間絶縁膜15を研磨することにより、その表面平坦化を行う。次に、リソグラフィ工程により、層間絶縁膜15上にコンタクトホール16の形成領域およびパッドの領域(図示せず)に開口を有するレジストパターンを形成する。

【0058】その後、このレジストパターンをマスクとして、例えばドライエッチング法により、層間絶縁膜15を上層遮光膜14の表面が露出するまでエッチングする。これにより、コンタクトホール16が形成されるとともに、パッドに接続するためのコンタクトホール(図示せず)が形成される。

【0059】次に、Hを4%含むN<sub>2</sub>ガス雰囲気中において熱処理を行うことにより、トランジスタ特性を向上させる。

【0060】次に、例えばスパッタリング法により、コンタクトホール16の底面において上層遮光膜14に接続するようにして、層間絶縁膜15上にITO膜を成膜する。その後、このITO膜を所定形状にパターンニングすることにより、画素電極17を形成する。

【0061】以上により、この第1の実施形態によるTFT基板が完成する。その後、このTFT基板と、ガラス基板の一主面上に対向電極としての透明電極および液晶の配向膜を順次積層したものとの間に液晶を封入し、目的とする液晶表示装置を完成させる。

【0062】以上説明したように、この第1の実施形態によれば、保持容量配線2を薄膜トランジスタの下層に設け、この保持容量配線2と薄膜半導体層4との間に層間絶縁膜3の凹部3aの底部を介して保持容量素子を構成していることにより、保持容量配線2のレイアウトにおける、薄膜トランジスタを構成するゲート配線6による制約を低減することができる。そのため、保持容量配線2の配置領域と、薄膜トランジスタの配置領域を重ねることができるので、画素間の遮光面積を縮小することができ、このTFT基板を用いて製造される液晶表示装置を高光透過率および高精細化することができる。

【0063】次に、この発明の第2の実施形態の一例について説明する。図4はこの第2の実施形態におけるTFT基板の一例を示す。

【0064】図4に示すように、この第2の実施形態による液晶表示装置においては、コンタクトホールの領域以外の層間絶縁膜12表面が平坦化されており、この平坦化された層間絶縁膜12上に上層遮光膜14が設けられている。

14

【0065】また、この第2の実施形態による液晶表示装置の製造方法においては、まず、第1の実施形態と同様にして信号配線10と引き出し配線11の形成まで行う。その後、例えばO<sub>3</sub>ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより層間絶縁膜12を形成する。次に、例えばCMP法により、層間絶縁膜12の表面平坦化を行う。その後、リソグラフィ工程により、層間絶縁膜12上にコンタクトホール13の形成領域に開口を有するレジストパターン(図示せず)を形成する。その後、エッチング工程により、このレジストパターンをマスクとして層間絶縁膜12の部分を引き出し配線11の表面が露出するまでエッチングすることにより、コンタクトホール13を形成する。その後、上層遮光膜14、層間絶縁膜15、コンタクトホール16および画素電極17を順次形成し、TFT基板を完成させる。

【0066】この第2の実施形態における上述した以外のことは、第1の実施形態におけると同様であるので、説明を省略する。

【0067】この第2の実施形態による液晶表示装置によれば、層間絶縁膜12の表面が平坦化され、この平坦化された層間絶縁膜12上に上層遮光膜14が設けられていること以外のことは、第1の実施形態におけると同様であるので、第1の実施形態と同様の効果を得ることができる。また、層間絶縁膜12の表面が平坦化されていることにより、上層遮光膜14において、良好なカバレッジ形状を得ることができる。そのため、対向基板側からの入射光に対する遮光を効果的に行うことができるとともに、信号配線10と上層遮光膜14との間の寄生容量を低減することができ、この液晶表示装置においてさらなる画質の向上を図ることができる。

【0068】次に、この発明の第3の実施形態の一例について説明する。図5はこの第3の実施形態による液晶表示装置のTFT基板の一例を示し、図6および図7は、このTFT基板の平面図の一例を示す。なお、図5の断面図は、図6および図7の所定の断面を示したのではなく、この第3の実施形態によるTFT基板の構造を1つの断面に示したものである。

【0069】図5に示すように、この第3の実施形態による液晶表示装置においては、層間絶縁膜3の凹部3aを覆うようにして、ゲート電極6と同様の積層構造を有する保持容量電極21が設けられている。そして、保持容量用配線2と薄膜半導体層4との間に凹部3aの底部を第1の保持容量用誘電膜として介した構造によって、第1の保持容量素子が構成されるとともに、保持容量電極21と薄膜半導体層4との間に、TFTにおいてゲート誘電膜として用いられるSiO<sub>2</sub>膜5を第2の保持容量用誘電膜として介した構造により、第2の保持容量素子が構成されている。

【0070】また、保持容量電極21の上方の層間絶縁



(9)

15

膜7、12の部分にコンタクトホール22が形成されている。そして、このコンタクトホール22を通じて、上層遮光膜14と保持容量電極21とが電氣的に接続されている。ここで、上層遮光膜14は、入射光の遮光に用いられるとともに、保持容量電極21を所定の定電位に設定するための配線として用いる。これにより、保持容量電極21を所定の定電位に設定することができる。ここで、保持容量配線2の電位と保持容量電極21の電位とは同電位にすることができるよう構成されている。すなわち、これらの第1の保持容量素子と第2の保持容量素子とは、薄膜トランジスタのドレイン領域を延長した薄膜半導体層4の部分を共通の画素電位電極として、電氣的に並列に接続されている。

【0071】図6に、信号配線10および引き出し電極11の形成直後のTFT基板の平面レイアウトを示す。図6に示すように、この第3の実施形態によるTFT基板の平面レイアウトは、第1の実施形態と異なり、隣接した2つの信号配線10の間に、引き出し電極11に隣接して保持容量電極21が設けられている。この保持容量電極21は保持容量配線2にまたがって設けられている。保持容量電極21の領域に、層間絶縁膜3の凹部3aおよびコンタクトホール22が設けられている。

【0072】また、図7に、上層遮光膜14の形成後のTFT基板の平面レイアウトを示す。図7に示すように、この第3の実施形態によるTFT基板の平面レイアウトは、第1の実施形態と異なり、上層遮光膜14が、信号配線10の長手方向に対して垂直な方向に延在して設けられている。上層遮光膜14は2つの部分、すなわち、凹形状の部分と、その凹形状の内部領域に設けられた矩形の部分とから構成されている。

【0073】次に、上述のように構成されたこの第3の実施形態による液晶表示装置の製造方法について説明する。この第3の実施形態においては、まず、第1の実施形態と同様にして、多結晶Si膜6aおよびWSi膜6bの形成まで行う。その後、リソグラフィ工程により、ゲート配線形状および保持容量電極形状を有するレジストパターン（図示せず）を形成する。次に、このレジストパターンをマスクとして、WSi膜6bおよび多結晶Si膜6aを順次エッチングすることにより、ゲート配線6および保持容量電極21を同時に形成する。

【0074】次に、LDD構造のソース／ドレイン領域を有する薄膜トランジスタを形成した後、O<sub>3</sub>ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜する。これにより層間絶縁膜7が形成される。その後、高温熱処理を行うことにより、ソース／ドレイン領域中の結晶性を回復させる。

【0075】次に、例えばウェットエッチング法により、表示領域外の左右端に保持容量配線用のコンタクト（図示せず）を形成する。次に、コンタクトホール8、9の形成領域に開口を有するレジストパターン（図示せ

16

ず）を形成する。次に、このレジストパターンをマスクとして、例えばドライエッチング法により層間絶縁膜7をエッチングすることにより、コンタクトホール8、9を形成する。

【0076】次に、例えばスパッタリング法により、全面に例えばSiを1%含むAl合金膜を成膜する。このAl合金膜の膜厚は例えば400nmである。次に、リソグラフィ工程により、このAl合金膜上に信号配線10および引き出し電極11、回路内配線およびパッドの形状を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、Al合金膜を層間絶縁膜7の表面が露出するまでエッチングすることにより、信号配線10、引き出し電極11、図示省略した回路内配線およびパッドを形成する。

【0077】次に、例えばO<sub>3</sub>ガスとTEOSガスとを用いたCVD法により、全面にPSG膜を成膜することにより、膜厚が例えば400nmの層間絶縁膜12を形成する。

【0078】次に、リソグラフィ工程により、層間絶縁膜12上にコンタクトホール22の形成領域に開口を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、層間絶縁膜12の部分の所定の深さまでエッチングする。その後、レジストパターンを除去する。

【0079】次に、リソグラフィ工程により、層間絶縁膜12上に、コンタクトホール13、22の形成領域およびパッドの上方の領域に開口を有するレジストパターン（図示せず）を形成する。その後、このレジストパターンをマスクとして、例えばドライエッチング法により、層間絶縁膜12を、引き出し電極11の上面が露出するとともに保持容量用電極21の表面が露出するまでエッチングすることにより、それぞれコンタクトホール13、22を形成する。また、このエッチングにより、パッドに接続するためのコンタクトホール（図示せず）が形成される。その後、レジストパターンを除去する。

【0080】次に、例えばスパッタリング法により、保持容量用電極21に接続するようにして、全面に膜厚が例えば250nmのTi膜を成膜する。その後、このTi膜をパターンニングすることにより、上層遮光膜14を形成する。

【0081】この第3の実施形態における上述した以外のは、第1の実施形態におけると同様であるので、説明を省略する。

【0082】この第3の実施形態によれば、薄膜半導体層4の下層に保持容量配線2が設けられ、薄膜半導体層4と保持容量配線2との間に層間絶縁膜3に形成された凹部3aの底部を介して第1の保持容量素子が構成されていることにより、第1の実施形態と同様の効果を得ることができる。さらに、この第3の実施形態において

(10)

17

は、凹部3aの底部を介した保持容量配線2および薄膜半導体層4からなる第1の保持容量素子と、 $\text{SiO}_2$ 膜5を介した保持容量用電極21および薄膜半導体層4からなる第2の保持容量素子とが設けられ、これらの第1の保持容量素子と第2の保持容量素子とが並列に接続されていることにより、このTFT基板における保持容量 $C_s$ を大幅に増加させることができ、リーク電流を抑制することができるので、液晶表示装置において、さらなる画質の向上を図ることができる。

【0083】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0084】すなわち、上述の実施形態において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料、プロセスなどを用いることも可能である。

【0085】例えば上述の第1～第3の実施形態においては、保持容量配線2およびゲート配線6を構成する膜として、 $\text{WSi}$ 膜を用いているが、 $\text{W}$ 膜、 $\text{Mo}$ 膜、 $\text{Ta}$ 膜、 $\text{Cr}$ 膜、 $\text{Ti}$ 膜などの金属膜や、 $\text{MoSi}$ 膜、 $\text{TaSi}$ 膜、 $\text{CrSi}$ 膜、 $\text{TiSi}$ 膜などの合金膜を用いてもよく、また、基板誘電膜、層間絶縁膜との密着性を高めるために、不純物をドーピングした多結晶 $\text{Si}$ との2層構造もしくは3層構造としてもよい。

【0086】また、例えば上述の第1～第3の実施形態においては、信号配線10、引き出し電極11、回路内配線およびパッドを、 $\text{Si}$ を1%含む $\text{Al}$ 合金膜から形成するようにしているが、これらの信号配線10、引き出し電極11、回路内配線およびパッドを、 $\text{Al-Si-Cu}$ 合金、 $\text{Al-Cu}$ 合金などの $\text{Al}$ 基合金、または $\text{Cu}$ 基合金、さらには、これらの $\text{Al}$ 基合金や $\text{Cu}$ 基合金の下層または上層に、 $\text{Ti}$ 、 $\text{TiN}$ 、 $\text{TiON}$ もしくは $\text{WSi}$ などのバリアメタルを設けた多層構造とすることも可能である。

【0087】また、例えば上述の第1～第3の実施形態においては、薄膜半導体層4として多結晶 $\text{Si}$ 膜を用いているが、非晶質 $\text{Si}$ 膜や単結晶 $\text{Si}$ 膜を用いることも可能であり、 $\text{GaAs}$ などの化合物半導体層を用いることも可能である。

【0088】また、例えば上述の第1の実施形態においては、保持容量素子における保持容量用誘電膜として、層間絶縁膜3の凹部3aにおける例えば膜厚が60nmの $\text{NSG}$ 膜を用いているが、比誘電率の向上や耐圧向上を図るために、 $\text{SiN}$ 膜や、 $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 膜などの3層構造の絶縁膜を用いることも可能である。また、保持容量用誘電膜として、保持容量配線2に用いられる例えば $\text{Ta}$ などの金属に対して陽極酸化や熱処理などを行うことによって形成される例えば $\text{TaO}_2$ 膜などの酸化膜を用いることも可能である。また、上述

18

の第3の実施形態においては、第2の保持容量素子における保持容量用誘電膜として、薄膜トランジスタのゲート誘電膜として用いられる $\text{SiO}_2$ 膜5を用いているが、比誘電率の向上や耐圧向上を図るために、 $\text{SiN}$ 膜や、 $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 膜などの3層構造の誘電膜を用いることも可能である。

【0089】また、例えば上述の第2の実施形態においては、 $\text{PSG}$ 膜を形成した後、その表面を $\text{CMP}$ 法により平坦化することにより、表面平坦化された層間絶縁膜12を形成するようにしているが、平坦化された層間絶縁膜の形成方法として、 $\text{PSG}$ 、ホウ素リンシリケートガラス( $\text{BPSG}$ )などを成膜してからリフローさせる方法、スピノングラス( $\text{SOG}$ )を用いた流動法、または絶縁膜を成膜してからエッチバックする方法などを用いることも可能である。

【0090】また、例えば上述の第3の実施形態においては、保持容量用誘電膜として、TFTにおいてゲート誘電膜に用いられた $\text{SiO}_2$ 膜5を用いたが、保持容量の向上および耐圧向上を図るために、保持容量素子における保持容量用誘電膜の部分を別に形成して、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、またはそれらの膜の積層膜(例えば、 $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 膜)を用いるようにしてもよい。また、保持容量用誘電膜として、保持容量配線2に用いられた金属に対して陽極酸化または熱処理などの酸化処理を行うことにより形成された酸化膜を用いることも可能である。

【0091】また、例えば上述の第3の実施形態においては、コンタクトホール22を2段階に分けてエッチングすることにより形成しているが、エッチングガスの選択性などを考慮して、コンタクトホール13、22を同時に形成することも可能である。

【0092】

【発明の効果】以上説明したように、この発明による液晶表示装置およびその製造方法によれば、薄膜トランジスタを構成する薄膜半導体層の下層に保持容量配線を設け、保持容量配線と薄膜半導体層との間に第1の保持容量用誘電膜を設け、第1の保持容量用誘電膜を介して薄膜半導体層と保持容量配線とから保持容量素子を構成するようにしていることにより、液晶表示装置において、薄膜トランジスタと保持容量配線とが平面的にそれぞれ面積を占有しないようにすることができるので、画素間遮光面積を低減することができ、高光透過率で高精細化された液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図2】この発明の第1の実施形態によるTFT基板の平面レイアウトを示す平面図である。

【図3】この発明の第1の実施形態によるTFT基板の平面レイアウトを示す平面図である。

(11)

19

【図4】この発明の第2の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図5】この発明の第3の実施形態による液晶表示装置のTFT基板を示す断面図である。

【図6】この発明の第3の実施形態による液晶表示装置のTFT基板の平面レイアウトを示す平面図である。

【図7】この発明の第3の実施形態による液晶表示装置のTFT基板の平面レイアウトを示す平面図である。

【図8】従来技術による液晶表示装置を示す断面図である。

20

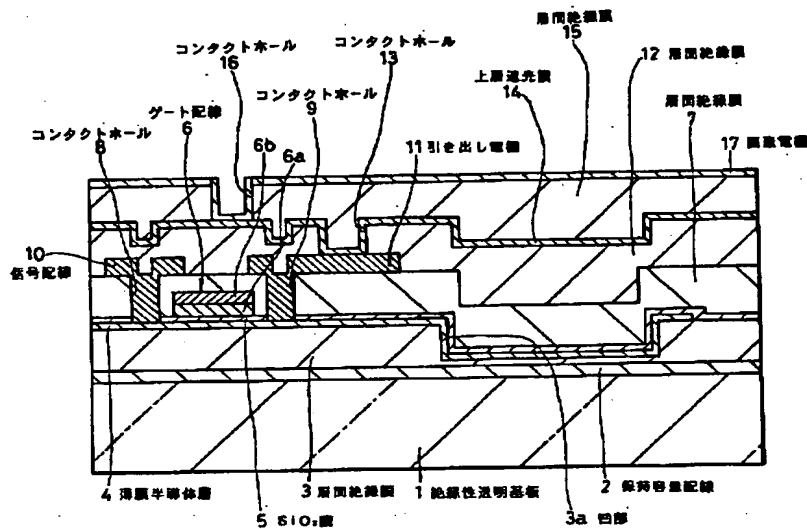
【図9】従来技術による液晶表示装置のTFT基板の平面レイアウトを示す平面図である。

【符号の説明】

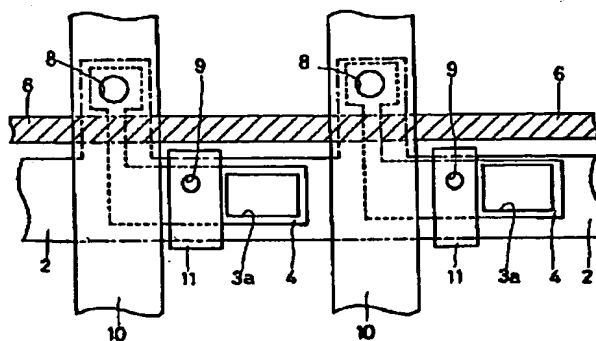
1・・・絶縁性透明基板、2・・・保持容量配線、3、7、12、15・・・層間絶縁膜、3a・・・凹部、4・・・薄膜半導体層、6・・・ゲート配線、6a・・・多結晶Si膜、6b・・・WSi膜、8、9、13、16・・・コンタクトホール、10・・・信号配線、11・・・引き出し電極、14・・・上層遮光膜、17・・・画素電極

10

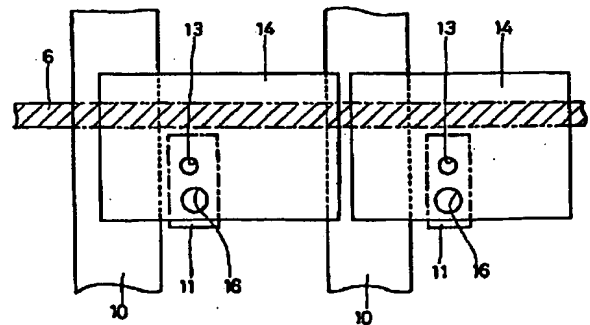
【図1】



【図2】

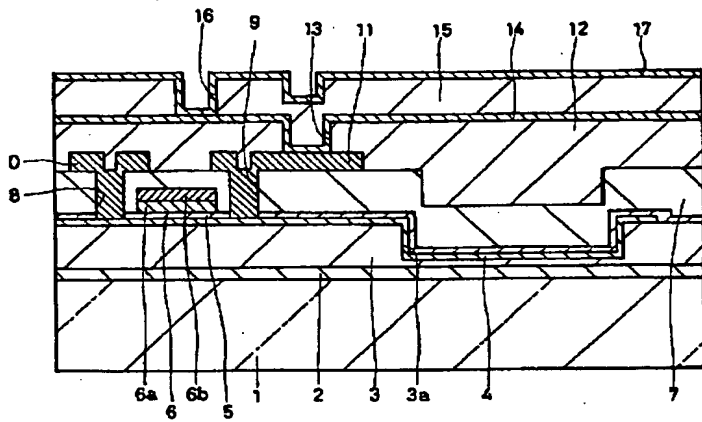


【図3】

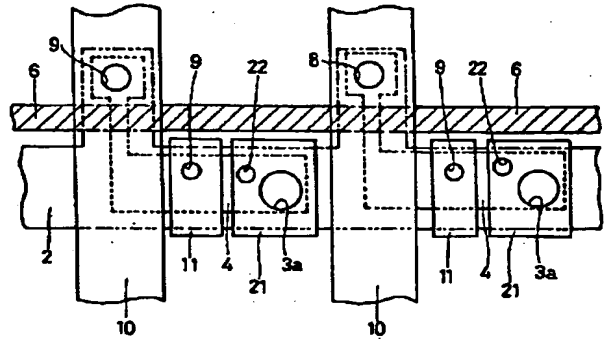


(12)

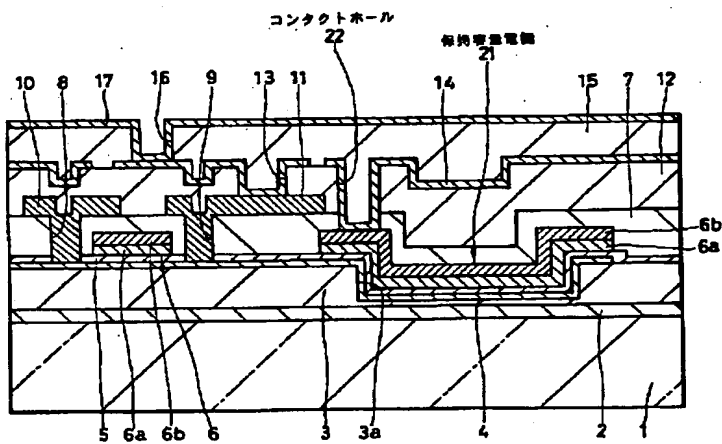
【図4】



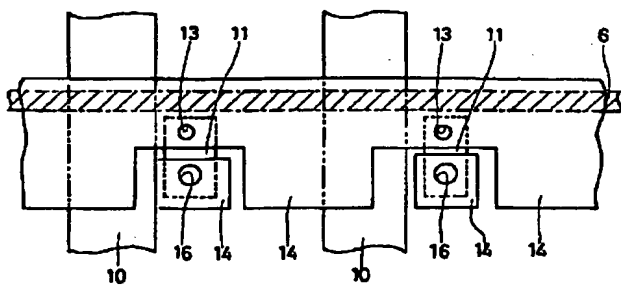
【図 6】



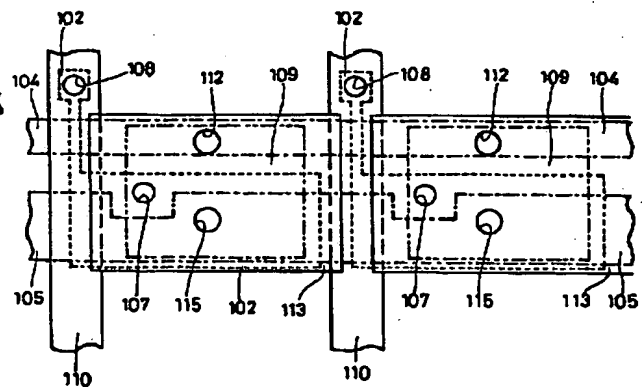
【图 5】



【図 7】

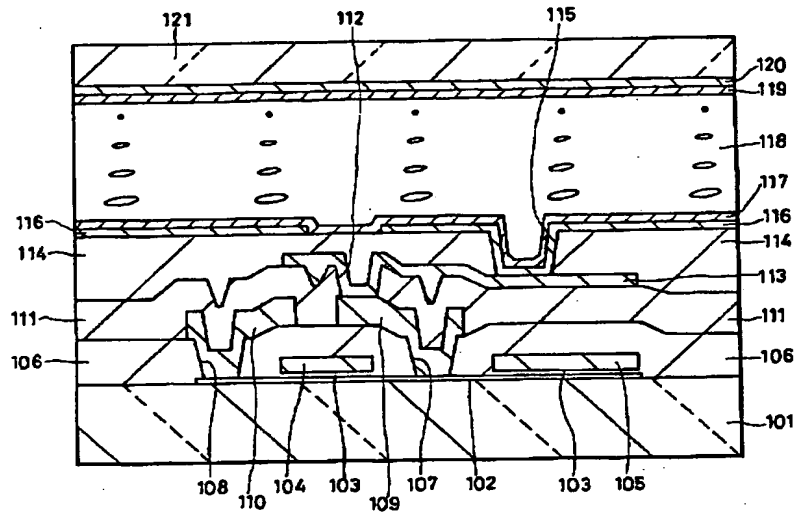


【図 9】



(13)

【図8】



フロントページの続き

(72) 発明者 阿部 文明  
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
 ー株式会社内

Fターム(参考) 2H090 HA03 HB03X HC03 HC12  
 HD03 HD07 LA04 LA05  
 2H092 JA24 JA33 JA35 JA39 JA40  
 JB36 JB51 JB58 JB63 JB69  
 KA04 KA10 KA12 KA22 KB05  
 KB13 KB25 MA05 MA07 MA13  
 MA17 MA27 MA37 NA07 NA23  
 NA28 PA09 RA05  
 5F110 AA06 AA18 AA19 BB04 CC02  
 DD03 DD12 DD24 EE05 EE09  
 EE14 FF02 FF29 GG02 GG04  
 GG12 GG13 GG15 GG25 GG32  
 GG47 GG55 HJ01 HJ13 HJ22  
 HL01 HL04 HL05 HL06 HM15  
 HM18 NN03 NN04 NN22 NN23  
 NN24 NN25 NN35 NN40 NN44  
 NN46 NN54 NN73 QQ19 QQ24  
 QQ30

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-066631

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

G02F 1/1365

G02F 1/1333

H01L 29/786

H01L 21/336

(21)Application number : 11-238442

(71)Applicant : SONY CORP

(22)Date of filing : 25.08.1999

(72)Inventor : WADA TOMOHIRO

SATO TAKUO

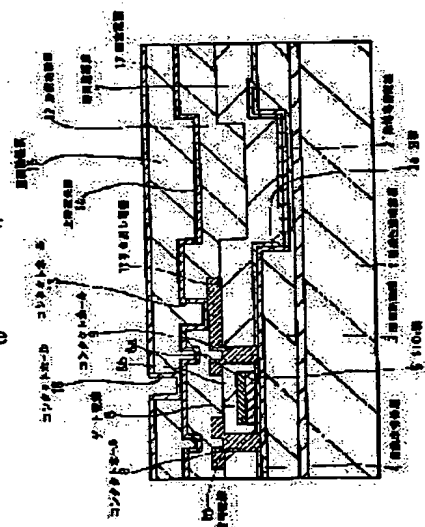
ABE FUMIAKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize high transmittance and high definition by reducing an inter-pixel light shielding area in a liquid crystal display device.

**SOLUTION:** This liquid crystal display device is provided with a holding capacitance wiring 2 under a thin film semiconductor layer 4 forming a TFT via an interlayer insulating film 3. A holding capacitance element is formed by holding a dielectric film for the holding capacitance formed of the bottom part of the recessed part 3a of the interlayer insulating film 3 between the extended part of the thin film semiconductor layer 4 from the drain area of the TFT. The drain area of the TFT is electrically connected to an image electrode 17, and the liquid crystal display device is driven by the TFT.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** In the liquid crystal display with which the thin film transistor for actuation of a pixel electrode was prepared on the substrate Retention volume wiring is prepared in the lower layer of the thin film half conductor layer which constitutes the above-mentioned thin film transistor. The liquid crystal display characterized by preparing the 1st dielectric film for retention volume between the above-mentioned retention volume wiring and the above-mentioned thin film half conductor layer, and the 1st retention volume component consisting of an above-mentioned thin film half conductor layer and above-mentioned retention volume wiring through the dielectric film for retention volume of the above 1st.

**[Claim 2]** The liquid crystal display according to claim 1 characterized by preparing the 1st insulator layer between the above-mentioned thin film half conductor layer and the above-mentioned retention volume wiring, for the 1st insulator layer of the above having a thin part as compared with other parts of the 1st insulator layer of the above, and the dielectric film for retention volume of the above 1st being constituted by the thin part of the 1st insulator layer of the above.

**[Claim 3]** The liquid crystal display according to claim 1 characterized by preparing the 1st insulator layer between the above-mentioned thin film half conductor layer and the above-mentioned retention volume wiring, for the 1st insulator layer of the above having a crevice, and the dielectric film for retention volume of the above 1st being constituted by the above-mentioned crevice.

**[Claim 4]** The liquid crystal display according to claim 1 characterized by setting the above-mentioned retention volume wiring as fixed potential.

**[Claim 5]** The liquid crystal display according to claim 1 characterized by lapping with the channel formation field in the above-mentioned thin film transistor superficially, and arranging the above-mentioned retention volume wiring to a wrap field.

**[Claim 6]** The liquid crystal display according to claim 1 with which thickness of the above-mentioned dielectric film for retention volume is characterized by 5nm or more being 300nm or less.

**[Claim 7]** The liquid crystal display according to claim 1 with which thickness of the above-mentioned dielectric film for retention volume is characterized by 10nm or more being 100nm or less.

**[Claim 8]** The liquid crystal display according to claim 1 with which the above-mentioned dielectric film for retention volume is characterized by consisting of cascade screens of the silicon oxide film, a silicon nitride film or the silicon oxide film, and a silicon nitride film.

**[Claim 9]** The liquid crystal display according to claim 1 characterized by for the thin film half conductor layer which constitutes the above-mentioned retention volume component consisting of parts which extended the diffusion field in the above-mentioned thin film transistor, and introducing the conductive impurity into the part which carried out [ above-mentioned ] extension.

**[Claim 10]** The manufacture approach of the liquid crystal display according to claim 1 characterized by the 2nd retention volume component consisting of the above-mentioned retention volume electrodes and the above-mentioned thin film half conductor layers which the retention volume electrode was prepared in the upper layer of the above-mentioned thin film half conductor layer through the 2nd dielectric film for retention volume, and minded the dielectric film for retention volume of the above 2nd.

**[Claim 11]** The liquid crystal display according to claim 10 with which structure of the above-mentioned



retention volume electrode is characterized by having the structure of gate wiring in the above-mentioned thin film transistor, and the same structure.

[Claim 12] The liquid crystal display according to claim 10 characterized by the dielectric film for retention volume of the above 2nd consisting of parts of the dielectric film used as a gate dielectric film in the above-mentioned thin film transistor.

[Claim 13] the above-mentioned retention volume wiring -- a tungsten, molybdenum, a tantalum, chromium, titanium, a tungsten alloy, a molybdenum alloy, a tantalum alloy, a chromium alloy, a titanium alloy, and silicification -- a tungsten and silicification -- molybdenum and silicification -- a tantalum and silicification -- chromium and silicification -- the liquid crystal display according to claim 1 characterized by consisting of silicon with which titanium or an impurity was introduced.

[Claim 14] In the manufacture approach of a liquid crystal display that the thin film transistor for actuation was prepared on the substrate By forming retention volume wiring on the above-mentioned substrate, forming the 1st dielectric film for retention volume on the above-mentioned retention volume wiring, and forming the thin film half conductor layer which constitutes the above-mentioned thin film transistor on the dielectric film for retention volume of the above 1st The manufacture approach of the liquid crystal display characterized by forming the 1st retention volume component which consists of the above-mentioned retention volume wiring and the above-mentioned thin film half conductor layer through the dielectric film for retention volume of the above 1st.

[Claim 15] The manufacture approach of the liquid crystal display according to claim 14 characterized by forming the dielectric film for retention volume of the above 1st which consists of a thin part of the 1st insulator layer of the above by forming the 1st insulator layer on the above-mentioned retention volume wiring, and forming a part thinner than other parts of the 1st insulator layer of the above in the part of the 1st insulator layer of the above.

[Claim 16] The manufacture approach of the liquid crystal display according to claim 14 characterized by forming the dielectric film for retention volume of the above 1st which consists of the above-mentioned crevice of the 1st insulator layer of the above by forming the 1st insulator layer on the above-mentioned retention volume wiring, and forming a crevice in the 1st insulator layer of the above.

[Claim 17] The liquid crystal display according to claim 14 with which thickness of the dielectric film for retention volume of the above 1st is characterized by 5nm or more being 300nm or less.

[Claim 18] The liquid crystal display according to claim 14 with which thickness of the dielectric film for retention volume of the above 1st is characterized by 10nm or more being 100nm or less.

[Claim 19] The manufacture approach of the liquid crystal display according to claim 14 characterized by forming the above-mentioned retention volume wiring in a process other than the process of formation of gate wiring which constitutes the above-mentioned thin film transistor.

[Claim 20] The manufacture approach of the liquid crystal display according to claim 14 characterized by forming the 2nd retention volume component which consists of the above-mentioned retention volume electrode and the above-mentioned thin film half conductor layer through the dielectric film for retention volume of the above 2nd by forming the 2nd dielectric film for retention volume on the above-mentioned thin film half conductor layer, and forming a retention volume electrode on the dielectric film for retention volume of the above 2nd.

[Claim 21] The manufacture approach of the liquid crystal display according to claim 20 characterized by forming the above-mentioned retention volume electrode while forming gate wiring of the above-mentioned thin film transistor.

[Claim 22] the above-mentioned retention volume wiring -- a tungsten, molybdenum, a tantalum, chromium, titanium, a tungsten alloy, a molybdenum alloy, a tantalum alloy, a chromium alloy, a titanium alloy, and silicification -- a tungsten and silicification -- molybdenum and silicification -- a tantalum and silicification -- chromium and silicification -- the manufacture approach of the liquid crystal display according to claim 14 characterized by consisting of silicon with which titanium or an impurity was introduced.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the liquid crystal display which has a thin film transistor (TFT) for actuation especially about a liquid crystal display and its manufacture approach, and is suitable.

[0002]

[Description of the Prior Art] The case where a liquid crystal display is used as a light valve for projectors in recent years is increasing. It combines with this and the further raise in light transmittance and highly minute-ization came to be desired in the liquid crystal display. What is depended on the conventional technique in this liquid crystal display here is explained concretely below.

[0003] That is, as shown in drawing 8, the thin film half conductor layer 102 which consists of polycrystal Si of a predetermined configuration is formed on the quartz-glass substrate 101 in a protection-from-light field, and the gate dielectric film 103 is formed on this thin film half conductor layer 102. The gate wiring 104 is formed on this gate dielectric film 103. Although a graphic display is omitted, into the thin film half conductor layer 102, the source field and the drain field are formed in self align to the gate wiring 104. The polysilicon SiTFT for pixel electrode actuation is constituted by the gate electrodes which consist of gate wiring 104, these source fields, and the drain field. The retention volume wiring 105 is formed on the gate dielectric film 103 in the predetermined part above a drain field. The capacitive element for maintenance is constituted by the structure which minded the gate dielectric film 103 between this retention volume wiring 105 and a drain field.

[0004] The interlayer insulation film 106 is formed so that the gate wiring 104 and the retention volume wiring 105 may be covered. Contact holes 107 and 108 are established in the predetermined parts of this interlayer insulation film 106 and the gate dielectric film 103. On the interlayer insulation film 106, while connecting with the drain field of polysilicon SiTFT through a contact hole 107, pulling out and forming the electrode 109, it connects with the source field of polysilicon SiTFT through a contact hole 108, and signal wiring 110 is formed. The interlayer insulation film 111 is formed so that such drawer electrodes 109 and signal wiring 110 may be covered. The contact hole 112 is established in the interlayer insulation film 111 in the predetermined part on the drawer electrode 109. On the interlayer insulation film 111, it pulls out through this contact hole 112, it connects with an electrode 109, and the upper light-shielding film 113 is formed. Besides, it pulls out with the layer light-shielding film 113, and all protection from light of fields other than a pixel opening field is made to the incident light from the upper part by superposition with an electrode 109 and signal wiring 110. The interlayer insulation film 114 is formed so that the upper light-shielding film 113 may be covered. The contact hole 115 is established in

this interlayer insulation film 114 in the predetermined part on the upper light-shielding film 113. On the interlayer insulation film 114, it connects with the upper light-shielding film 113 through this contact hole 115, and the transparent pixel electrode 116 is formed. The orientation film 117 is formed so that this pixel electrode 116 may be covered.

[0005] The liquid crystal layer 118 is formed on the orientation film 117, and the orientation film 119 and the opposite common electrode 120 are formed on this liquid crystal layer 118. Moreover, the substrate 121 for counterelectrodes of transparency is formed on the opposite common electrode 120.

[0006] In the liquid crystal display constituted as mentioned above, the orientation of the liquid crystal molecule in the liquid crystal layer 118 is changed, and a display is controlled by the electrical potential difference impressed to the transparent pixel electrode 116 connected to the thin film half conductor layer 102 which constitutes TFT.

[0007] Moreover, signal wiring 110, the gate wiring 104, the retention volume wiring 105, a thin film transistor, etc. are arranged in the pixel protection-from-light field prepared into the TFT substrate or the opposite substrate. An example of this arrangement is shown in drawing 9. Drawing 9 R> 9 is an example of the flat-surface layout in the case of forming the protection-from-light field complementary by the signal wiring 110 and the upper light-shielding film 113 of a TFT substrate.

[0008] As shown in drawing 9, in the conventional liquid crystal display, the gate wiring 104 and the retention volume wiring 105 are mutually formed mostly in parallel. Signal wiring 110 is formed in the direction vertical to these gate wiring 104 and the retention volume wiring 105. It is prepared in the field to which the drawer electrode 109 does not lap with signal wiring 110 ranging over the gate wiring 104 and the retention volume wiring 105. The upper light-shielding film 113 is formed in a configuration which covers the retention volume wiring 105 between these two adjoining signal wiring 110, the gate wiring 104, and the drawer electrode 109 ranging over two adjoining signal wiring 110. The contact hole 108 is formed in the edge of the lapping part of signal wiring 110 and the thin film half conductor layer 102. The thin film half conductor layer 102 is formed in the lower layer of the retention volume wiring 105 and signal wiring 110. The part of the concave configuration where the contact hole 107 was avoided is prepared in the retention volume wiring 105. Through the contact hole 107 established in the part of this concave configuration, it pulls out with the thin film half conductor layer 102, and the electrode 119 is connected. Moreover, the contact hole 112 for connecting these to the lapping part of a field of the drawer electrode 109 and the upper light-shielding film 113 is formed. Moreover, the contact hole 115 for connecting these to the part of a field which laps with the retention volume wiring 105 of the upper light-shielding film 113 is formed.

[0009]

[Problem(s) to be Solved by the Invention] In the conventional liquid crystal display constituted as mentioned above, in order to realize high light transmittance and highly minute-ization, it is necessary to reduce the pixel protection-from-light field of a liquid crystal display.

[0010] However, according to this invention person's knowledge, in the liquid crystal display by the conventional technique, signal wiring 110, a thin film transistor, the gate wiring 104, and the retention volume wiring 105 occupy area, respectively, and serve as hindrance of the improvement of a pixel numerical aperture in this.

[0011] Therefore, the object of this invention can reduce the face shield product between pixels, and is for this to offer high light transmittance, the liquid crystal display which can be made highly minute, and its manufacture approach.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned object, invention of the 1st of this invention In the liquid crystal display with which the thin film transistor for actuation of a pixel electrode was prepared on the substrate Retention volume wiring is prepared in the lower layer of the thin film half conductor layer which constitutes a thin film transistor. The 1st dielectric film for retention volume is prepared between retention volume wiring and a thin film half conductor layer, and it is

characterized by the 1st retention volume component consisting of a thin film half conductor layer and retention volume wiring through the 1st dielectric film for retention volume.

[0013] In this 1st invention, typically, the 1st insulator layer is prepared between a thin film half conductor layer and retention volume wiring, the 1st insulator layer has a thin part as compared with other parts of the 1st insulator layer, and the 1st dielectric film for retention volume is constituted by the thin part of this 1st insulator layer. Moreover, in this 1st invention, in order to prepare a thin part in the 1st insulator layer as compared with other parts, suitably, a crevice is established in the 1st insulator layer and this crevice constitutes the 1st dielectric film for retention volume.

[0014] Typically in this 1st invention, retention volume wiring is set as fixed potential.

[0015] In this 1st invention, typically, it laps with the channel formation field in a thin film transistor, and retention volume wiring is superficially arranged to a wrap field.

[0016] Specifically in this 1st invention, the 1st dielectric film for retention volume consists of cascade screens of the silicon oxide film, a silicon nitride film or the silicon oxide film, and a silicon nitride film.

[0017] In this 1st invention, typically, the thin film half conductor layer which constitutes a retention volume component consists of parts which extended the diffusion field in a thin film transistor, and a conductive impurity is introduced and it is formed into low resistance by this extended part.

[0018] In this 1st invention, typically, a retention volume electrode is prepared through the 2nd dielectric film for retention volume on a thin film half conductor layer, and the 2nd retention volume component consists of the retention volume electrodes and thin film half conductor layers through the 2nd dielectric film for retention volume. And the structure of this retention volume electrode has the structure of gate wiring in a thin film transistor, and the same structure. concrete -- gate wiring and a retention volume electrode -- for example, a polycrystal Si film top -- silicification -- it has the structure which carried out the laminating of the tungsten film. Moreover, in this 1st invention, the 2nd dielectric film for retention volume consists of dielectric films used as a gate dielectric film in a thin film transistor.

[0019] In the manufacture approach of a liquid crystal display that the thin film transistor for actuation was prepared on the substrate, as for invention of the 2nd of this invention By forming retention volume wiring on a substrate, forming the 1st dielectric film for retention volume on retention volume wiring, and forming the thin film half conductor layer which constitutes a thin film transistor on the 1st dielectric film for retention volume It is characterized by forming the 1st retention volume component which consists of retention volume wiring and a thin film half conductor layer through the 1st dielectric film for retention volume.

[0020] In this 2nd invention, typically, the 1st insulator layer is formed on retention volume wiring, a part thinner than other parts of the 1st insulator layer is formed in the 1st insulator layer, and the 1st dielectric film for retention volume which consists of a thin part of the 1st insulator layer is formed. Moreover, in this 2nd invention, the 1st dielectric film for retention volume which consists of a crevice of the 1st insulator layer is formed by forming the 1st insulator layer on retention volume wiring, and forming a crevice in the 1st insulator layer typically.

[0021] Typically in this 2nd invention, retention volume wiring is formed in a process other than the process of formation of gate wiring which constitutes a thin film transistor.

[0022] In this 2nd invention, the 2nd retention volume component which consists of a retention volume electrode and a thin film half conductor layer through the 2nd dielectric film for retention volume is formed by forming the 2nd dielectric film for retention volume on a thin film half conductor layer, and forming a retention volume electrode on the 2nd insulator layer suitably. In order to aim at reduction of a manufacture process at this time, while forming gate wiring of a thin film transistor, a retention volume electrode is formed.

[0023] In this 2nd invention, the 1st dielectric film for retention volume which consists of an oxide film is formed by forming the 2nd insulator layer on retention volume wiring, forming opening which the front face of retention volume wiring exposed to the part of the 2nd insulator layer, and forming an oxide film

in the front face of exposed retention volume wiring suitably. And in formation of this oxide film, an oxide film is formed in the front face which retention volume wiring exposed by performing anodic oxidation or heat treatment. Moreover, 5nm or more 300nm or less of thickness of this oxide film is 10nm or more 100nm or less more suitably.

[0024] In this invention, although a thin film half conductor layer is the polycrystal Si film typically, it is also possible to use the single crystal Si film and the amorphous Si film, and it is also possible to use compound semiconductor layers, such as gallium arsenide (GaAs).

[0025] Retention volume [ in / on this invention and / the 1st retention volume component ] Cs In order to fully secure, the thickness of the dielectric film for retention volume is 5nm or more 300nm or less, and is 10nm or more 100nm or less more suitably.

[0026] this invention -- setting -- concrete -- retention volume wiring -- a tungsten, molybdenum, a tantalum, chromium, titanium, a tungsten alloy, a molybdenum alloy, a tantalum alloy, a chromium alloy, a titanium alloy, and silicification -- a tungsten and silicification -- molybdenum and silicification -- a tantalum and silicification -- chromium and silicification -- it consists of silicon with which titanium or an impurity was introduced.

[0027] According to the liquid crystal display by this invention constituted as mentioned above, and its manufacture approach, by preparing retention volume wiring in the lower layer of the thin film half conductor layer which constitutes a thin film transistor, and constituting the retention volume component from a thin film half conductor layer and retention volume wiring through the dielectric film for retention volume, a thin film transistor and retention volume wiring can be prevented from occupying area, respectively, and can form in the field which repeated mutually a thin film transistor and retention volume wiring superficially.

[0028]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the operation gestalt of this invention. In addition, in the complete diagram of the following operation gestalten, the sign identically same into a corresponding part is attached.

[0029] First, an example of the 1st operation gestalt of this invention is explained. Drawing 1 shows an example of the TFT substrate of the liquid crystal display by this 1st operation gestalt, and drawing 2 and drawing 3 show an example of the top view of this TFT substrate. In addition, the sectional view of drawing 1 is not what showed the predetermined cross section of drawing 2 and drawing 3, and shows the structure of the TFT substrate by this 1st operation gestalt to one cross section.

[0030] As shown in drawing 1, in this liquid crystal display, the retention volume wiring 2 by which pattern NINGU was carried out so that a viewing area might be crossed is formed on the insulating transperance substrate 1 in a protection-from-light field which consists of a quartz-glass substrate, for example. This retention volume wiring 2 consists of WSi film whose thickness is 200nm.

[0031] On this retention volume wiring 2, the interlayer insulation film 3 which served as the dielectric film for retention volume is formed. This interlayer insulation film 3 consists of non dope silicate glass (NSG, silica glass) film whose thickness is 600nm. And an interlayer insulation film 3 has a part thinner than other parts in a part of this interlayer insulation film 3. Specifically, crevice 3a is formed in the part of an interlayer insulation film 3. And the dielectric film for retention volume is constituted by the pars basilaris ossis occipitalis of this crevice 3a. Here, the thickness of the pars basilaris ossis occipitalis of crevice 3a of the interlayer insulation film 3 which constitutes this dielectric film for retention volume is the retention volume Cs of the retention volume component mentioned later. While enlarging, in order to prevent a short circuit, it is chosen out of the range of 5-300nm, and more suitably, it is chosen out of the range of 10-100nm, and is chosen as 60nm in this 1st operation gestalt, for example.

[0032] Moreover, the thin film half conductor layer 4 of a predetermined configuration is formed on the interlayer insulation film 3. This thin film half conductor layer 4 consists of polycrystal Si film whose thickness is 75nm. Moreover, this thin film half conductor layer 4 has the part in which the drain field of TFT mentioned later was extended. Conductive impurities, such as Lynn (P) and an arsenic (As), are

doped, the part in which the thin film half conductor layer 4 was extended is formed into low resistance, and the pixel potential electrode is constituted by this part. The retention volume component is constituted by the structure which minded the dielectric film for retention volume which consists of partes basilaris ossis occipitalis of crevice 3a in an interlayer insulation film 3 between the parts and the retention volume wiring 2 with which this thin film half conductor layer 4 was extended.

[0033] Moreover, it is SiO<sub>2</sub> so that the thin film half conductor layer 4 may be covered. The film 5 is formed. This SiO<sub>2</sub> The film 5 is SiO<sub>2</sub> whose thickness is 30nm. It consists of film. SiO<sub>2</sub> The gate wiring 6 is formed in the part on the film 5. This gate wiring 6 consists of a cascade screen to which the laminating of the WSi film 6b whose polycrystal Si film 6a and thickness by which impurities, such as P whose thickness is 100nm, were doped by high concentration are 100nm was carried out one by one. Moreover, a graphic display is LDD [ inside / of the thin film half conductor layer 4 ] (Lightly Doped Drain) aiming at reduction of the OFF state current although omitted. The source field and drain field of structure are formed. The polysilicon SiTFT for pixel electrode actuation is constituted by the gate electrodes which consist of gate wiring 6, these source fields, and the drain field.

[0034] Moreover, the interlayer insulation film 7 is formed so that the gate wiring 6 may be covered. This interlayer insulation film 7 consists of phosphorus dope silicate glass (PSG) film whose thickness is 600nm. This interlayer insulation film 7 and SiO<sub>2</sub> Contact holes 8 and 9 are formed in the predetermined part of the film 5. On the interlayer insulation film 7 in a protection-from-light field, it connects with the source field of polysilicon SiTFT through a contact hole 8, and signal wiring 10 is formed. Moreover, it connects with the drain field of polysilicon SiTFT through a contact hole 9, and pulls out, and the electrode 11 is formed. Such signal wiring 10 and the drawer electrode 11 consist of aluminum alloy film which contains Si whose thickness is 400nm 1%. The interlayer insulation film 12 is formed so that such signal wiring 10 and the drawer electrode 11 may be covered. This interlayer insulation film 12 consists of PSG film whose thickness is 400nm. The contact hole 13 is established in the part on the drawer electrode 11 of an interlayer insulation film 12.

[0035] On the interlayer insulation film 12, the conductive upper light-shielding film 14 is formed. Besides, the layer light-shielding film 14 is pulled out through a contact hole 13, and is connected with the electrode 11. Besides, the layer light-shielding film 14 consists for example, of titanium (Ti) film whose thickness is 250nm. It pulls out with these upper light-shielding films 14, and all protection from light of fields other than a pixel opening field is made to the incident light from the upper part by superposition with an electrode 11 and signal wiring 10. The upper light-shielding film 14 is connected with the below-mentioned pixel electrode.

[0036] Moreover, the interlayer insulation film 15 is formed so that the upper light-shielding film 14 may be covered. This interlayer insulation film 15 consists of NSG film whose thickness is 2.5 micrometers. The contact hole 16 is established in the part of the interlayer insulation film 15 in the predetermined part on the upper light-shielding film 14. Except for the part of a contact hole 16, flattening of the front face of this interlayer insulation film 15 is carried out. On the interlayer insulation film 15, the transparent pixel electrode 17 connected with the upper light-shielding film 14 through this contact hole 16 is formed. This pixel electrode 17 consists of indium stannic acid ghost (ITO) film whose thickness is 140nm. Moreover, the orientation film (not shown) is prepared so that this pixel electrode 17 may be covered.

[0037] The TFT substrate is constituted as mentioned above. Moreover, although the graphic display abbreviation was carried out, liquid crystal is enclosed between this TFT substrate and the thing which carried out the laminating of the transparent electrode as a counterelectrode, and the orientation film of liquid crystal one by one on the 1 principal plane of a glass substrate, and the liquid crystal display is constituted.

[0038] The flat-surface layout of the liquid crystal display immediately after signal wiring 10 and formation of the drawer electrode 11 is shown in drawing 2 . As shown in drawing 2 , in the liquid crystal display by this 1st operation gestalt, signal wiring 10 is mutually formed in parallel in the predetermined

pitch. The retention volume wiring 2 and the gate wiring 6 are formed so that those longitudinal directions may be parallel mutually at right angles to signal wiring 10. The part of a convex configuration is prepared in the retention volume wiring 2. It is prepared in the field covered with signal wiring 10, the part of the convex configuration of this retention volume wiring 2 straddling gate wiring along with the longitudinal direction of the retention volume wiring 2 as superficially [ are this spacing mostly and ] as spacing of signal wiring 10.

[0039] Moreover, the thin film half conductor layer 4 is formed in the L character mold in the inside of the field of the convex configuration in the retention volume wiring 2, and the field in alignment with a longitudinal direction. It is prepared in the wrap field to the channel formation section of the thin film transistor constituted with this thin film half conductor layer 4 and the gate wiring 6, the retention volume wiring 2 lapping superficially. In order to reduce the light which carries out incidence to a thin film transistor from the rear face of a TFT substrate, the arrangement field of the retention volume wiring 2 is made into a larger field at least than the channel formation section, and it is made to have about 1.0-micrometer allowances suitably here. In order to also specifically raise the protection-from-light nature to the light which carries out incidence in the direction of slant from the rear face of a TFT substrate, 0.5 micrometers or more of arrangement fields of the retention volume wiring 2 are superficially enlarged in the direction of front and rear, right and left from the channel formation section. By doing in this way, when it carries a liquid crystal display in equipment with which optical-system components exist in a TFT substrate rear-faces side, such as a projector, it can prevent that the incident light from the optical-system component is irradiated by the thin film transistor, and the increment in an optical beam induced current in case a thin film transistor is OFF can be prevented, and degradation of the display image quality resulting from this can be prevented.

[0040] Moreover, the contact hole 8 is established in the field of the end near the gate wiring 6 in the thin film half conductor layer 4 of a L character mold. And signal wiring 10 and the thin film half conductor layer 4 are electrically connected through this contact hole 8. Rectangular crevice 3a is prepared for the flat-surface configuration in the field which lapped with the retention volume wiring 2 in the other end of the thin film half conductor layer 4 of a L character mold. And in crevice 3a of this rectangle, the retention volume component consists of the thin film half conductor layers 4 and the retention volume wiring 2 through the pars basilaris ossis occipitalis of this crevice 3a. In addition, the flat-surface configuration of this crevice 3a may be circular.

[0041] Moreover, the drawer wiring 11 is formed in the field over the retention volume wiring 2 and the thin film half conductor layer 4. This drawer wiring 11 is formed in the field which does not lap with the field in which crevice 3a was formed. The contact hole 9 is established in the part of the field with which the drawer wiring 11, the thin film half conductor layer 4, and the retention volume wiring 2 lapped. And the drawer wiring 11 and the thin film half conductor layer 4 are electrically connected through this contact hole 9.

[0042] The flat-surface layout of the liquid crystal display after formation of the upper light-shielding film 14 is shown in drawing 3 . As are shown in drawing 3 , and the parallel signal wiring 10 which adjoined is straddled mutually and the drawer electrode 11 is covered mostly, the upper light-shielding film 14 is formed. It pulls out with the upper light-shielding film 14, and the contact hole 13 is established in the overlapping part of a field with an electrode 11. And it pulls out with the upper light-shielding film 14, and the electrode 11 of each other is electrically connected through this contact hole 13. Moreover, it pulls out with the upper light-shielding film 14, and the contact hole 16 is established in the overlapping field with an electrode 11. The upper light-shielding film 14 and the pixel electrode 17 (not shown among drawing 3 ) are connected through this contact hole 16.

[0043] In the liquid crystal display constituted as mentioned above, at the time of that actuation, the retention volume wiring 2 is set as fixed potential, and is set as 0V in this 1st operation gestalt. In addition, this potential is the range which does not have effect in the threshold electrical potential difference  $V_{th}$  of a thin film transistor, and can also be set as other constant potentials, such as



potential of an opposite common electrode, and potential of an operating-circuit supply power source.  
[0044] Next, the manufacture approach of the liquid crystal display by this 1st operation gestalt constituted as mentioned above is explained.

[0045] That is, as shown in drawing 1, after thickness forms first the WSi film which is 200nm with a CVD method on the insulating transparence substrate 1, the retention volume wiring 2 is formed by carrying out pattern NINGU of this WSi film so that a viewing area may be crossed.

[0046] next, the retention volume wiring 2 -- a wrap -- like -- carrying out -- for example, ordinary pressure chemical vapor deposition (AP-CVD) -- an interlayer insulation film 3 is formed in the whole surface by forming the NSG film by law.

[0047] Next, the resist pattern (not shown) which has opening to the formation field of crevice 3a is formed according to a lithography process on the interlayer insulation film 3 which consists of NSG film. next, reactive ion etching (RIE) -- a resist pattern is removed, after etching until the front face of the retention volume wiring 2 exposes an interlayer insulation film 3 by using this resist pattern as a mask by law. Next, the NSG film is formed in the whole surface, for example with a CVD method. At this time, the NSG film is formed so that 5-300nm of thickness on the exposed surface of the retention volume wiring 2 may be suitably set to 10-100nm, and it is formed in 60nm in this 1st operation gestalt, for example. Of formation of this NSG film, crevice 3a which constitutes a retention volume component behind into the part of an interlayer insulation film 3 is formed.

[0048] next, for example, a reduced pressure chemical-vapor-deposition method (LP-CVD) -- thickness forms the thin film half conductor layer 4 which is 75nm the whole surface on an interlayer insulation film 3 by law. Then, after growing up the crystal grain of this thin film half conductor layer 4 by heat-treating, a lithography process and an etching process perform pattern NINGU of the thin film half conductor layer 4.

[0049] Next, after oxidizing thin film half conductor-layer 4 front face, a low-concentration diffusion layer (not shown) is formed in the part of the thin film half conductor layer 4 by carrying out the ion implantation of the p mold impurities, such as B, to low concentration on the whole surface. Next, it is SiO<sub>2</sub> to the whole surface, for example by the CVD method. The film 5 is formed. This SiO<sub>2</sub> The thickness of the film 5 is 30nm.

[0050] Next, thickness forms in the whole surface polycrystal Si layer 6a which is 100nm, for example with LP-CVD method. Then, POCl<sub>3</sub> By heat-treating in a gas ambient atmosphere, in polycrystal Si layer 6a, P is diffused and low resistance is formed. Next, thickness forms in the whole surface WSi film 6b which is 100nm, for example with a CVD method. Then, the gate wiring 6 is formed according to a lithography process and an etching process by carrying out pattern NINGU of WSi film 6b and the polycrystal Si layer 6a at a predetermined configuration.

[0051] Next, the ion implantation of the n mold impurities, such as P, is carried out to low concentration on the whole surface. Next, according to a lithography process, after forming a resist pattern (not shown) on the formation field of a p channel MOS transistor, and the formation field of the LDD structure of an n channel MOS transistor, the ion implantation of the n mold impurities, such as As, is carried out to high concentration by using this resist pattern as a mask. Thereby, the n channel MOS transistor which has LDD structures including a thin film transistor is formed. Then, a resist pattern is removed. Next, as an n channel MOS transistor field is covered, after forming a resist pattern according to a lithography process, the ion implantation of the p mold impurities, such as B, is carried out by using this resist pattern as a mask. Thereby, a p channel MOS transistor is formed. Then, a resist pattern is removed.

[0052] Next, thickness forms in the whole surface the interlayer insulation film 7 which is 600nm by forming the PSG film with the CVD method using ozone (O<sub>3</sub>) gas and TEOS gas. Then, the crystallinity in the source / drain field in all transistors is recovered by performing elevated-temperature heat treatment.

[0053] Next, the contact for retention volume wiring (not shown) is formed in the left right end besides a

viewing area, for example by the wet etching method. Next, the resist pattern (not shown) which has opening is formed in the formation field of contact holes 8 and 9. Next, contact holes 8 and 9 are formed by etching an interlayer insulation film 7 by the dry etching method by using this resist pattern as a mask. Then, a resist pattern is removed.

[0054] Next, aluminum alloy film which contains Si 1% is formed on the whole surface, for example by the sputtering method. The thickness of this aluminum alloy film is 400nm. Next, the resist pattern (not shown) which has the configuration of signal wiring 10, the drawer electrode 11, wiring in a circuit, and a pad is formed on this aluminum alloy film according to a lithography process. Then, while forming signal wiring 10 and the drawer electrode 11 by etching until the front face of an interlayer insulation film 7 exposes aluminum alloy film by the dry etching method by using this resist pattern as a mask, wiring in a circuit and the pad which carried out the graphic display abbreviation are formed.

[0055] Next, O<sub>3</sub> With the CVD method using gas and TEOS gas, thickness forms in the whole surface the interlayer insulation film 12 which is 400nm by forming the PSG film. Next, the resist pattern (not shown) which has opening to the formation field of a contact hole 13 and the field of a pad is formed on an interlayer insulation film 12 according to a lithography process. Then, while forming a contact hole 13 by etching by using this resist pattern as a mask until it pulls out an interlayer insulation film 12 and the top face of an electrode 11 is exposed by the dry etching method for example, the contact hole (not shown) for connecting with a pad is formed.

[0056] Next, thickness forms Ti film which is 250nm on the whole surface, for example by the sputtering method. Then, the upper light-shielding film 14 is formed by carrying out pattern NINGU of this Ti film.

[0057] Then, an interlayer insulation film 15 is formed in the whole surface, for example by the plasma-CVD method using TEOS gas by forming the NSG film whose thickness is 2.5 micrometers. next, for example, chemical machinery polish (CMP) — that surface flattening is performed by grinding this interlayer insulation film 15 by law. Next, the resist pattern which has opening to the formation field of a contact hole 16 and the field (not shown) of a pad is formed on an interlayer insulation film 15 according to a lithography process.

[0058] Then, by using this resist pattern as a mask, by the dry etching method, it etches until the front face of the upper light-shielding film 14 exposes an interlayer insulation film 15. Thereby, while a contact hole 16 is formed, the contact hole (not shown) for connecting with a pad is formed.

[0059] Next, N<sub>2</sub> which contains H 4% Transistor characteristics are raised by heat-treating in a gas ambient atmosphere.

[0060] Next, for example by the sputtering method, as it connects with the upper light-shielding film 14 in the base of a contact hole 16, the ITO film is formed on an interlayer insulation film 15. Then, the pixel electrode 17 is formed by carrying out pattern NINGU of this ITO film at a predetermined configuration.

[0061] By the above, the TFT substrate by this 1st operation gestalt is completed. Then, liquid crystal is enclosed between this TFT substrate and the thing which carried out the laminating of the transparent electrode as a counterelectrode, and the orientation film of liquid crystal one by one on the 1 principal plane of a glass substrate, and the target liquid crystal display is completed.

[0062] As explained above, according to this 1st operation gestalt, constraint by the gate wiring 6 in the layout of the retention volume wiring 2 which constitutes a thin film transistor can be reduced by forming the retention volume wiring 2 in the lower layer of a thin film transistor, and constituting the retention volume component through the pars basilaris ossis occipitalis of crevice 3a of an interlayer insulation film 3 between this retention volume wiring 2 and the thin film half conductor layer 4.

therefore, the liquid crystal display which can reduce the face shield product between pixels and is manufactured using this TFT substrate since the arrangement field of the retention volume wiring 2 and the arrangement field of a thin film transistor can be piled up — high light transmittance — and it can be made highly minute.

[0063] Next, an example of the 2nd operation gestalt of this invention is explained. Drawing 4 shows an

example of the TFT substrate in this 2nd operation gestalt.

[0064] As shown in drawing 4 , in the liquid crystal display by this 2nd operation gestalt, flattening of the interlayer insulation film 12 front faces other than the field of a contact hole is carried out, and the upper light-shielding film 14 is formed on this interlayer insulation film 12 by which flattening was carried out.

[0065] Moreover, in the manufacture approach of the liquid crystal display by this 2nd operation gestalt, it pulls out with signal wiring 10 like the 1st operation gestalt first, and carries out to formation of wiring 11. Then, O3 With the CVD method using gas and TEOS gas, an interlayer insulation film 12 is formed in the whole surface by forming the PSG film. Next, surface flattening of an interlayer insulation film 12 is performed, for example by the CMP method. Then, the resist pattern (not shown) which has opening to the formation field of a contact hole 13 is formed on an interlayer insulation film 12 according to a lithography process. Then, a contact hole 13 is formed by etching until it pulls out the part of an interlayer insulation film 12 by using this resist pattern as a mask and the front face of wiring 11 is exposed with an etching process. Then, sequential formation of the upper light-shielding film 14, an interlayer insulation film 15, a contact hole 16, and the pixel electrode 17 is carried out, and a TFT substrate is completed.

[0066] Since the thing except [ in this 2nd operation gestalt ] having mentioned above is the same also in the 1st operation gestalt, it omits explanation.

[0067] According to the liquid crystal display by this 2nd operation gestalt, flattening of the front face of an interlayer insulation film 12 is carried out, and since the thing except the upper light-shielding film 14 being formed on this interlayer insulation film 12 by which flattening was carried out is the same also in the 1st operation gestalt, it can acquire the same effectiveness as the 1st operation gestalt. Moreover, in the upper light-shielding film 14, a good coverage configuration can be acquired by carrying out flattening of the front face of an interlayer insulation film 12. Therefore, while being able to perform effectively protection from light to the incident light from an opposite substrate side, the parasitic capacitance between signal wiring 10 and the upper light-shielding film 14 can be reduced, and improvement in the further image quality can be aimed at in this liquid crystal display.

[0068] Next, an example of the 3rd operation gestalt of this invention is explained. Drawing 5 shows an example of the TFT substrate of the liquid crystal display by this 3rd operation gestalt, and drawing 6 and drawing 7 show an example of the top view of this TFT substrate. In addition, the sectional view of drawing 5 is not what showed the predetermined cross section of drawing 6 and drawing 7 , and shows the structure of the TFT substrate by this 3rd operation gestalt to one cross section.

[0069] As shown in drawing 5 , as crevice 3a of an interlayer insulation film 3 is covered, in the liquid crystal display by this 3rd operation gestalt, the gate electrode 6 and the retention volume electrode 21 which has the same laminated structure are formed. And while the 1st retention volume component is constituted by the structure which minded the pars basilaris ossis occipitalis of crevice 3a as 1st dielectric film for retention volume between the wiring 2 for retention volume, and the thin film half conductor layer 4 SiO<sub>2</sub> used as a gate dielectric film in TFT between the retention volume electrode 21 and the thin film half conductor layer 4 The 2nd retention volume component is constituted by the structure which minded the film 5 as 2nd dielectric film for retention volume.

[0070] Moreover, the contact hole 22 is formed in the part of the upper interlayer insulation films 7 and 12 of the retention volume electrode 21. And the upper light-shielding film 14 and the retention volume electrode 21 are electrically connected through this contact hole 22. Here, the upper light-shielding film 14 is used as wiring for setting the retention volume electrode 21 as constant predetermined potential while being used for protection from light of incident light. Thereby, the retention volume electrode 21 can be set as constant predetermined potential. Here, the potential of the retention volume wiring 2 and the potential of the retention volume electrode 21 are constituted so that it can be made this potential. That is, the part of the thin film half conductor layer 4 to which these 1st retention volume component and the 2nd retention volume component extended the drain field of a thin film transistor is electrically

connected to juxtaposition as a common pixel potential electrode.

[0071] The flat-surface layout of the TFT substrate immediately after signal wiring 10 and formation of the drawer electrode 11 is shown in drawing 6. As shown in drawing 6, the flat-surface layout of the TFT substrate by this 3rd operation gestalt adjoins the drawer electrode 11 between two signal wiring 10 which adjoined unlike the 1st operation gestalt, and the retention volume electrode 21 is formed. This retention volume electrode 21 is formed ranging over the retention volume wiring 2. Crevice 3a of an interlayer insulation film 3 and a contact hole 22 are established in the field of the retention volume electrode 21.

[0072] Moreover, the flat-surface layout of the TFT substrate after formation of the upper light-shielding film 14 is shown in drawing 7. As shown in drawing 7, unlike the 1st operation gestalt, the upper light-shielding film 14 extends in the vertical direction to the longitudinal direction of signal wiring 10, and the flat-surface layout of the TFT substrate by this 3rd operation gestalt is established. The upper light-shielding film 14 consists of two parts, i.e., the part which has the part of a concave configuration, and a part of the rectangle prepared in the contrant region of the concave configuration.

[0073] Next, the manufacture approach of the liquid crystal display by this 3rd operation gestalt constituted as mentioned above is explained. In this 3rd operation gestalt, it carries out like the 1st operation gestalt first to formation of polycrystal Si film 6a and WSi film 6b. Then, the resist pattern (not shown) which has a gate wiring configuration and a retention volume electrode configuration is formed according to a lithography process. Next, the gate wiring 6 and the retention volume electrode 21 are simultaneously formed by carrying out sequential etching of WSi film 6b and the polycrystal Si film 6a by using this resist pattern as a mask.

[0074] Next, O3 after forming the thin film transistor which has the source / drain field of LDD structure With the CVD method using gas and TEOS gas, the PSG film is formed on the whole surface. Thereby, an interlayer insulation film 7 is formed. Then, the crystallinity in the source / drain field is recovered by performing elevated-temperature heat treatment.

[0075] Next, the contact for retention volume wiring (not shown) is formed in the left right end besides a viewing area, for example by the wet etching method. Next, the resist pattern (not shown) which has opening is formed in the formation field of contact holes 8 and 9. Next, contact holes 8 and 9 are formed by etching an interlayer insulation film 7 by the dry etching method by using this resist pattern as a mask for example.

[0076] Next, aluminum alloy film which contains Si 1% is formed on the whole surface, for example by the sputtering method. The thickness of this aluminum alloy film is 400nm. Next, the resist pattern (not shown) which has the configuration of signal wiring 10 and the drawer electrode 11, wiring in a circuit, and a pad is formed on this aluminum alloy film according to a lithography process. Then, signal wiring 10, the drawer electrode 11, wiring in the circuit which carried out the graphic display abbreviation, and a pad are formed by the dry etching method by using this resist pattern as a mask by etching until the front face of an interlayer insulation film 7 exposes aluminum alloy film.

[0077] Next, O3 With the CVD method using gas and TEOS gas, thickness forms in the whole surface the interlayer insulation film 12 which is 400nm by forming the PSG film.

[0078] Next, the resist pattern (not shown) which has opening to the formation field of a contact hole 22 is formed on an interlayer insulation film 12 according to a lithography process. Then, the part of an interlayer insulation film 12 is etched by predetermined Mr. Fukashi by using this resist pattern as a mask. Then, a resist pattern is removed.

[0079] Next, the resist pattern (not shown) which has opening to the formation field of contact holes 13 and 22 and the upper field of a pad is formed on an interlayer insulation film 12 according to a lithography process. Then, contact holes 13 and 22 are formed, respectively by etching by the dry etching method, by using this resist pattern as a mask, until the front face of the electrode 21 for retention volume exposes an interlayer insulation film 12, while the top face of the drawer electrode 11 is exposed for example. Moreover, the contact hole (not shown) for connecting with a pad is formed of

this etching. Then, a resist pattern is removed.

[0080] Next, for example by the sputtering method, as it connects with the electrode 21 for retention volume, Ti film whose thickness is 250nm is formed on the whole surface. Then, the upper light-shielding film 14 is formed by carrying out pattern NINGU of this Ti film.

[0081] Since the thing except [ in this 3rd operation gestalt ] having mentioned above is the same also in the 1st operation gestalt, it omits explanation.

[0082] According to this 3rd operation gestalt, the retention volume wiring 2 is formed in the lower layer of the thin film half conductor layer 4, and the same effectiveness as the 1st operation gestalt can be acquired by constituting the 1st retention volume component through the pars basilaris ossis occipitalis of crevice 3a formed at the interlayer insulation film 3 between the thin film half conductor layer 4 and the retention volume wiring 2. Furthermore, the 1st retention volume component which consists of the retention volume wiring 2 and the thin film half conductor layer 4 through the pars basilaris ossis occipitalis of crevice 3a in this 3rd operation gestalt, SiO<sub>2</sub> By preparing the 2nd retention volume component which consists of the electrode 21 for retention volume and the thin film half conductor layer 4 through the film 5, and connecting these 1st retention volume component and the 2nd retention volume component to juxtaposition Retention volume Cs in this TFT substrate Since it can be made to increase substantially and leakage current can be controlled, improvement in the further image quality can be aimed at in a liquid crystal display.

[0083] As mentioned above, although the operation gestalt of this invention was explained concretely, this invention is not limited to an above-mentioned operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0084] That is, it is also possible to use a numeric value which does not pass over the numeric value mentioned in the above-mentioned operation gestalt, structure, a configuration, an ingredient, a process, etc. for an example to the last, but is different from these if needed, structure, a configuration, an ingredient, a process, etc.

[0085] for example, above-mentioned the 1- in the 3rd operation gestalt, as film which constitutes the retention volume wiring 2 and the gate wiring 6, although the WSi film is used In order to use alloy film, such as metal membranes, such as W film, Mo film, Ta film, Cr film, and Ti film, and MoSi film, TaSi film, CrSi film, TiSi film, and to raise adhesion with a substrate dielectric film and an interlayer insulation film It is good also as two-layer structure or a three-tiered structure with the polycrystal Si which doped the impurity.

[0086] moreover, above-mentioned the 1- in the 3rd operation gestalt, although he is trying to form signal wiring 10, the drawer electrode 11, wiring in a circuit, and a pad from aluminum alloy film which contains Si 1% Such signal wiring 10, the drawer electrode 11, wiring in a circuit, and a pad to aluminum radical alloys, such as an aluminum-Si-Cu alloy and an aluminum-Cu alloy, or Cu radical alloy, and a pan It is also possible to consider as the multilayer structure which prepared barrier metal, such as Ti, TiN, TiON, or WSi, in the lower layer or the upper layer of these aluminum radical alloys or Cu radical alloy.

[0087] moreover, above-mentioned the 1- in the 3rd operation gestalt, although the polycrystal Si film is used as a thin film half conductor layer 4, it is also possible to use the amorphous Si film and the single crystal Si film, and it is also possible to use compound semiconductor layers, such as GaAs.

[0088] Moreover, for example as a dielectric film [ in / on the 1st above-mentioned operation gestalt and / a retention volume component ] for retention volume, although the NSG film in crevice 3a of an interlayer insulation film 3 whose thickness is 60nm, for example is used, in order to aim at the improvement and the improvement in a proof pressure in specific inductive capacity, they are [ the SiN film and ] SiO<sub>2</sub> / SiN/SiO<sub>2</sub>. It is also possible to use the insulator layer of three-tiered structures, such as film. Moreover, TaO<sub>2</sub> formed as a dielectric film for retention volume by [ which perform anodic oxidation, heat treatment, etc., for example to metals, such as Ta, ] being used for the retention volume wiring 2 It is also possible to use oxide films, such as film. Moreover, SiO<sub>2</sub> used as a gate dielectric film of a thin film transistor in the 3rd above-mentioned operation gestalt as a dielectric film for retention

volume in the 2nd retention volume component Although the film 5 is used, in order to aim at the improvement and the improvement in a proof pressure in specific inductive capacity, they are [ the SiN film and ] SiO<sub>2</sub> / SiN/SiO<sub>2</sub>. It is also possible to use the dielectric film of three-tiered structures, such as film.

[0089] Moreover, for example in the 2nd above-mentioned operation gestalt, although he is trying to form the interlayer insulation film 12 by which surface flattening was carried out by carrying out flattening of the front face by the CMP method after forming the PSG film How to carry out a reflow as the formation approach of the interlayer insulation film by which flattening was carried out, after forming PSG, boron phosphorus silicate glass (BPSG), etc., After forming the gas flow method using spin-on glass (SOG), or an insulator layer, it is also possible to use the approach of carrying out etchback etc.

[0090] Moreover, SiO<sub>2</sub> used for the gate dielectric film in TFT as a dielectric film for retention volume in the 3rd above-mentioned operation gestalt Although the film 5 was used In order to aim at the improvement and the improvement in a proof pressure in retention volume, the part of the dielectric film for retention volume in a retention volume component is formed independently, and it is SiO<sub>2</sub>. You may make it use the cascade screen (for example, SiO<sub>2</sub> / SiN/SiO<sub>2</sub> film) of the film, SiN film, or those film. Moreover, it is also possible to use the oxide film formed by performing oxidation treatments, such as anodic oxidation or heat treatment, to the metal used for the retention volume wiring 2 as a dielectric film for retention volume.

[0091] Moreover, although formed by dividing a contact hole 22 into two steps, and etching it, for example in the 3rd above-mentioned operation gestalt, it is also possible to form contact holes 13 and 22 simultaneously in consideration of the selectivity of etching gas etc.

[0092]

[Effect of the Invention] As explained above, according to the liquid crystal display by this invention, and its manufacture approach Retention volume wiring is prepared in the lower layer of the thin film half conductor layer which constitutes a thin film transistor. By preparing the 1st dielectric film for retention volume between retention volume wiring and a thin film half conductor layer, and trying constituting a retention volume component from a thin film half conductor layer and retention volume wiring through the 1st dielectric film for retention volume In a liquid crystal display, since a thin film transistor and retention volume wiring can be prevented from occupying area superficially, respectively, the face shield product between pixels can be reduced and the liquid crystal display made highly minute with high light transmittance can be obtained.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the TFT substrate of the liquid crystal display by the 1st

operation gestalt of this invention.

[Drawing 2] It is the top view showing the flat-surface layout of the TFT substrate by the 1st operation gestalt of this invention.

[Drawing 3] It is the top view showing the flat-surface layout of the TFT substrate by the 1st operation gestalt of this invention.

[Drawing 4] It is the sectional view showing the TFT substrate of the liquid crystal display by the 2nd operation gestalt of this invention.

[Drawing 5] It is the sectional view showing the TFT substrate of the liquid crystal display by the 3rd operation gestalt of this invention.

[Drawing 6] It is the top view showing the flat-surface layout of the TFT substrate of the liquid crystal display by the 3rd operation gestalt of this invention.

[Drawing 7] It is the top view showing the flat-surface layout of the TFT substrate of the liquid crystal display by the 3rd operation gestalt of this invention.

[Drawing 8] It is the sectional view showing the liquid crystal display by the conventional technique.

[Drawing 9] It is the top view showing the flat-surface layout of the TFT substrate of the liquid crystal display by the conventional technique.

[Description of Notations]

1 [ ... A crevice, 4 / ... A thin film half conductor layer, 6 / ... Gate wiring, 6a / ... The polycrystal Si film, 6 b...WSi film, 8, 9 13, 16 / ... A contact hole, 10 / ... Signal wiring, 11 / ... A drawer electrode, 14 / ... The upper light-shielding film, 17 / ... Pixel electrode ] ... An insulating transparence substrate, 2 ... Retention volume wiring, 3, 7, 12, 15 ... An interlayer insulation film, 3a

---

[Translation done.]